

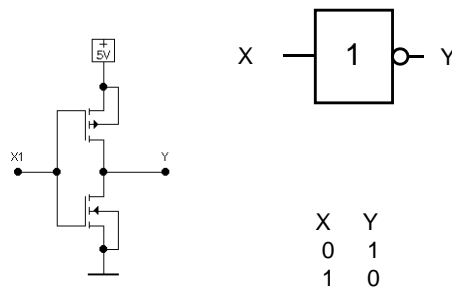
Kapitel 9: Digitaltechnik 2

- CMOS Grundsaltungen
 - NOT
 - NAND
 - AND
 - NOR
 - OR
 - EXOR
 - EXNOR
- Laufzeiteffekte

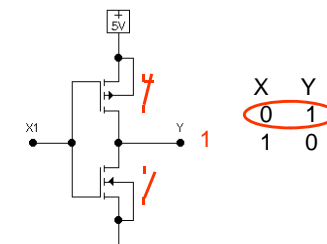
N-Kanal-MOS-FET und P-Kanal-MOS-FET

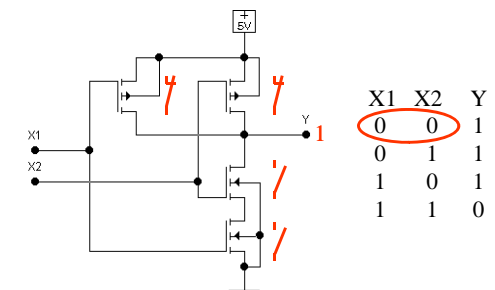
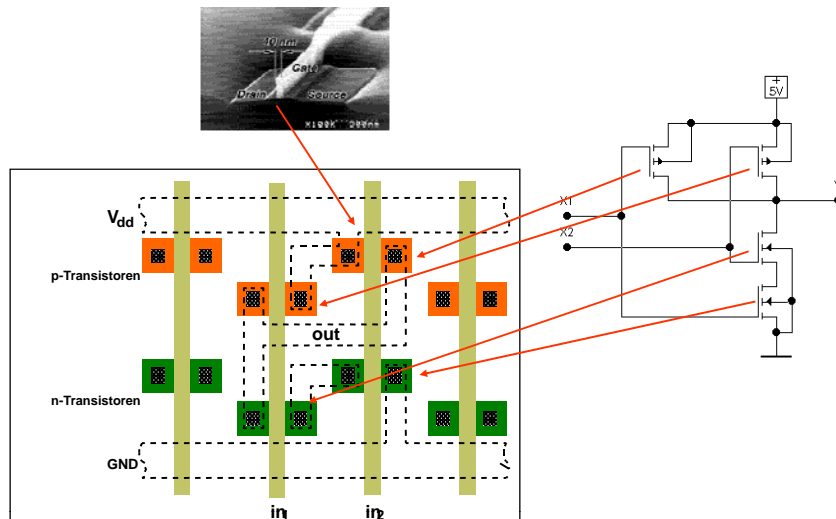
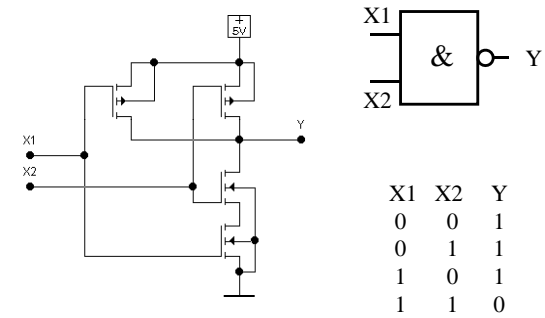
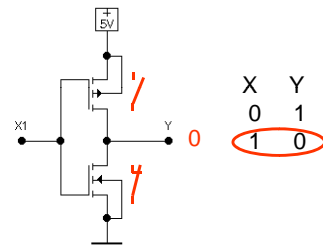
Transistoren bilden die Grundlage für die Realisierung der CMOS-Logikfunktionen.

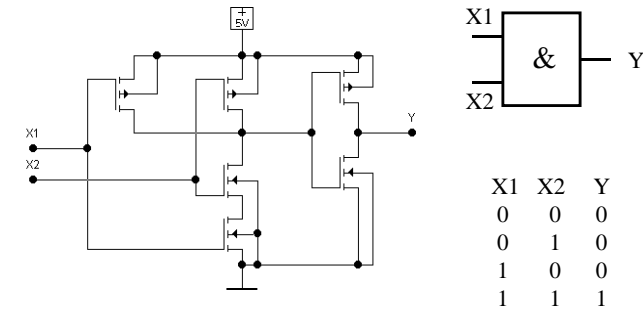
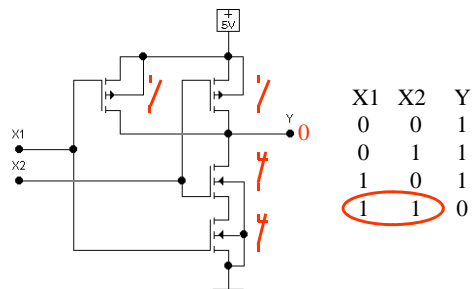
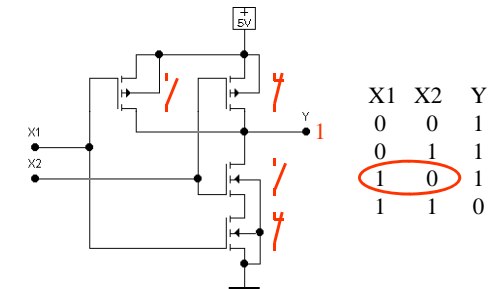
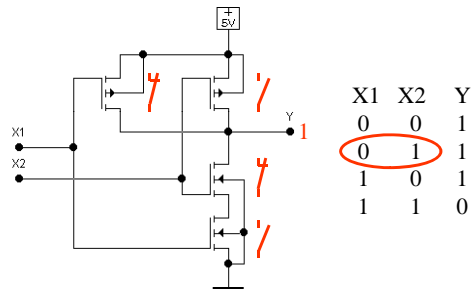
CMOS-Logik NOT

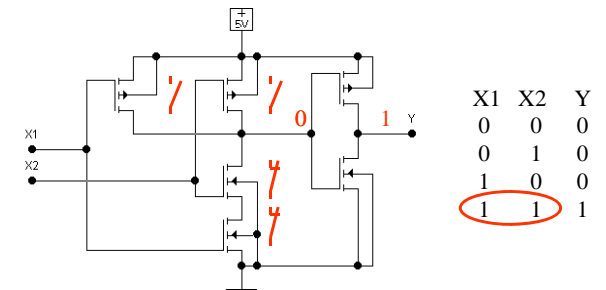
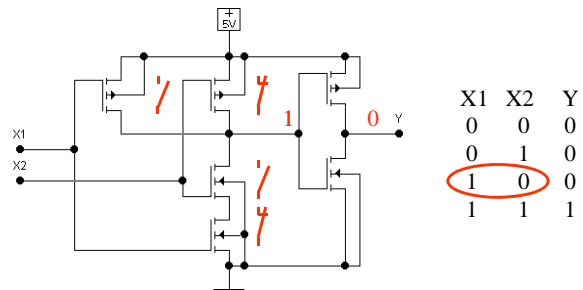
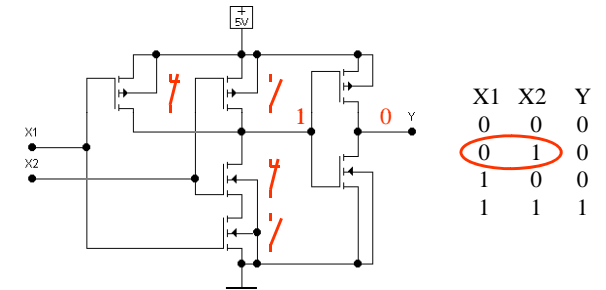
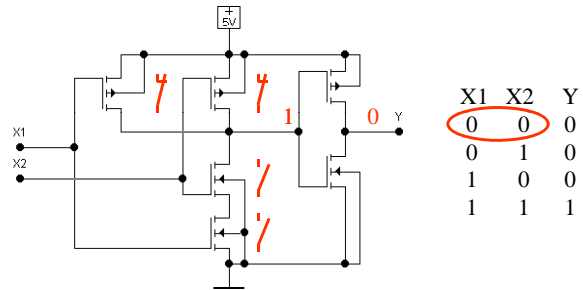


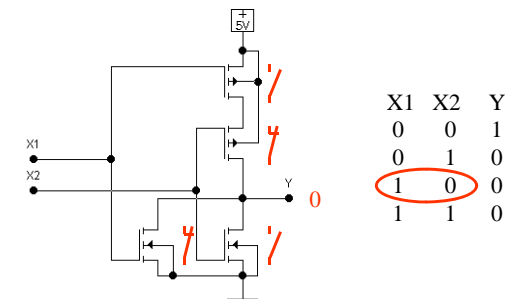
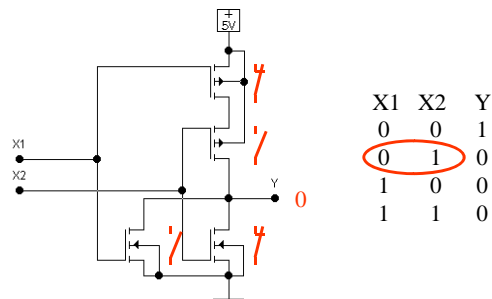
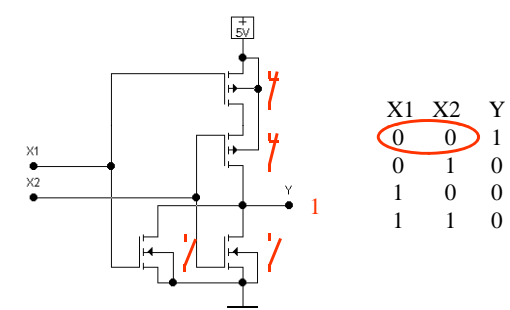
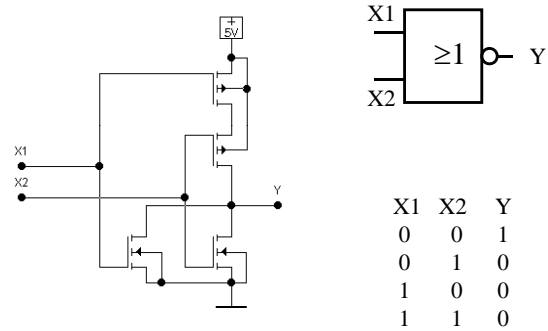
CMOS-Logik NOT

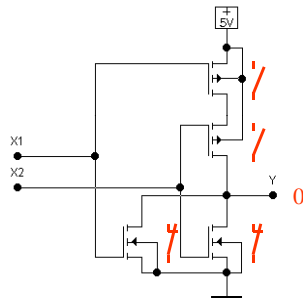




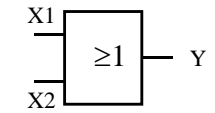
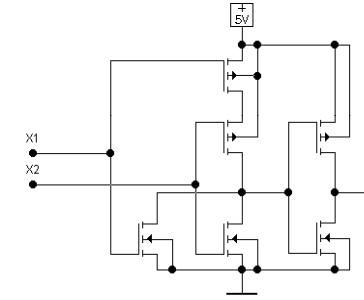




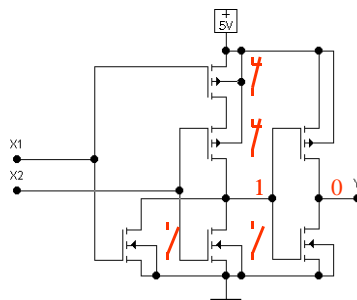




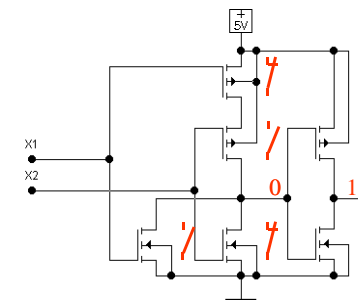
X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0



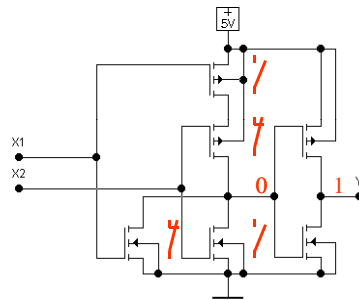
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



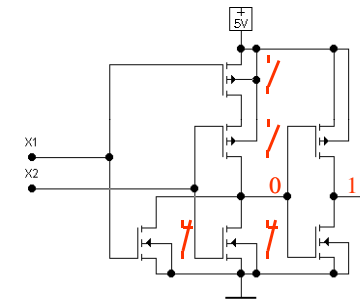
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



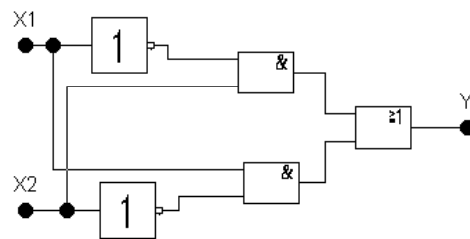
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



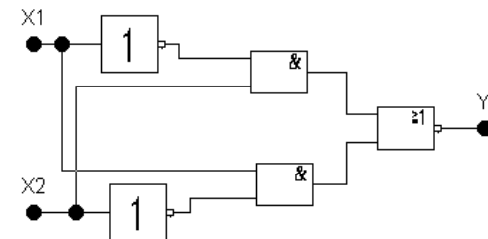
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



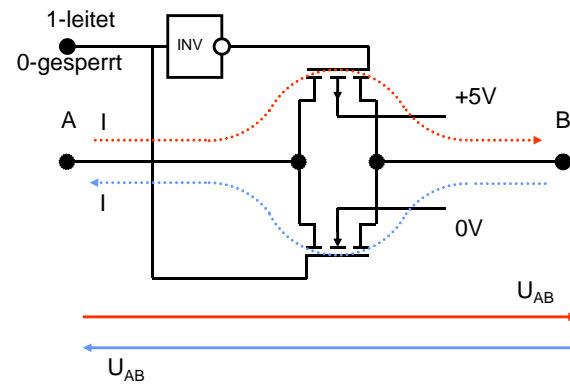
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



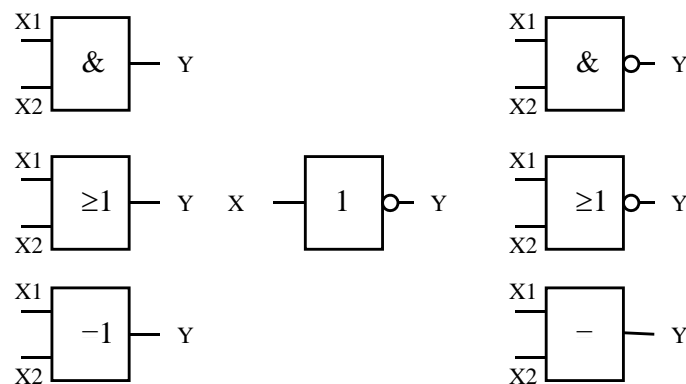
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	0



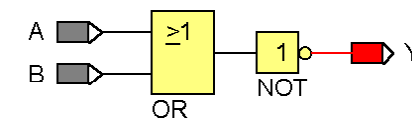
X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	1



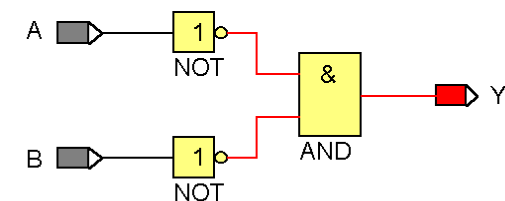
CMOS Logik	CD4000
	MC14...
Standard CMOS-Reihe	74C....
Advanced CMOS-Reihe	74AC...
Advanced CMOS-Reihe TTL-komp.	74ACT...
High-Speed CMOS-Reihe	74HC...
Low-Voltage High-Speed	74LV-HC...
High-Speed CMOS-Reihe TTL-komp.	74HCT...



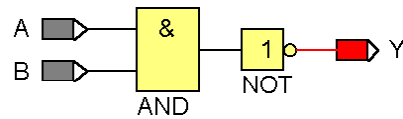
De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



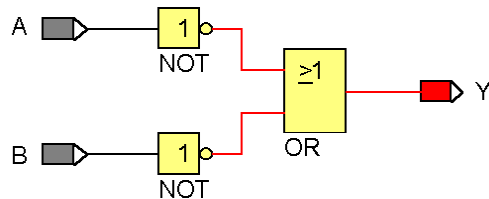
$\overline{A + B} = \overline{A} \cdot \overline{B}$



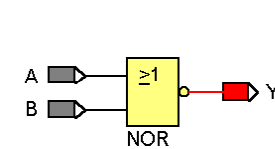
De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



$$\overline{A \cdot B} = \overline{A} + \overline{B}$$



De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



$$A = 1$$

$$\overline{A} = 0$$

$$\overline{\overline{A}} = A$$

$$0 * A = 0$$

$$1 * A = A$$

$$A * A = A$$

$$A * \overline{A} = 0$$

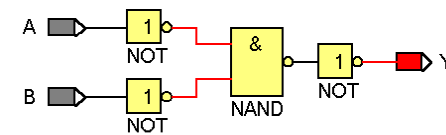
$$0 + A = A$$

$$1 + A = A$$

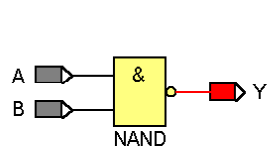
$$A + A = A$$

$$A + \overline{A} = 1$$

$$\overline{A + B} = \overline{\overline{\overline{A} \cdot \overline{B}}} = \overline{A} \cdot \overline{B}$$



De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



$$A = 1$$

$$\overline{A} = 0$$

$$\overline{\overline{A}} = A$$

$$0 * A = 0$$

$$1 * A = A$$

$$A * A = A$$

$$A * \overline{A} = 0$$

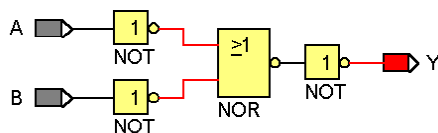
$$0 + A = A$$

$$1 + A = A$$

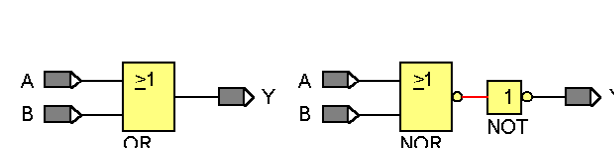
$$A + A = A$$

$$A + \overline{A} = 1$$

$$\overline{A \cdot B} = \overline{\overline{\overline{\overline{A} + \overline{B}}}} = \overline{A} + \overline{B}$$



De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



$$A = 1$$

$$\overline{A} = 0$$

$$\overline{\overline{A}} = A$$

$$0 * A = 0$$

$$1 * A = A$$

$$A * A = A$$

$$A * \overline{A} = 0$$

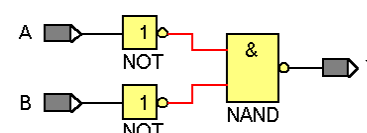
$$0 + A = A$$

$$1 + A = A$$

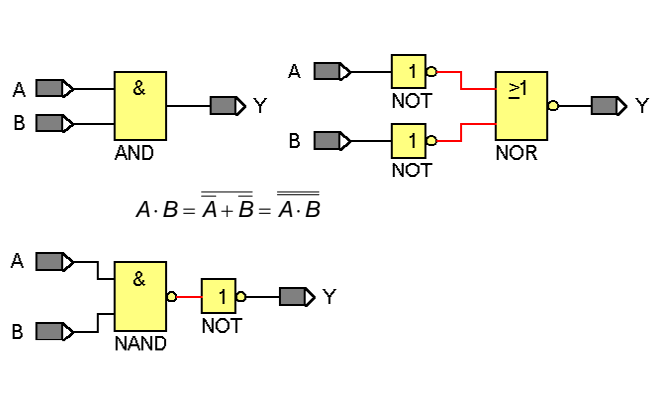
$$A + A = A$$

$$A + \overline{A} = 1$$

$$A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$



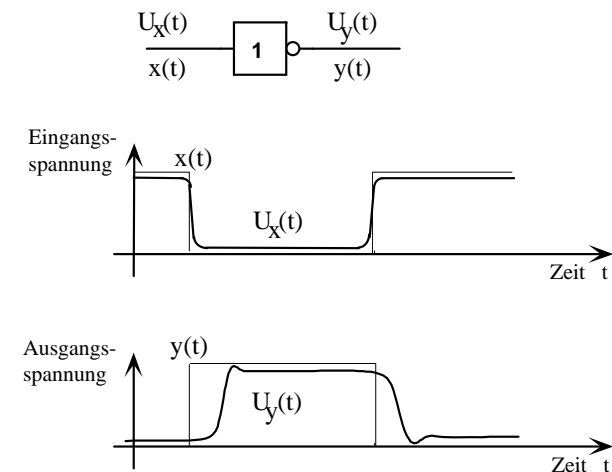
De Morgan $\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \overline{A} + \overline{B} + \overline{C} + \dots + \overline{N}$
 $\overline{A + B + C + \dots + N} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots \cdot \overline{N}$



$A = 1$
 $\overline{A} = 0$
 $\overline{\overline{A}} = A$
 $0 \cdot A = 0$
 $1 \cdot A = A$
 $A \cdot A = A$
 $A \cdot \overline{A} = 0$
 $0 + A = A$
 $1 + A = A$
 $A + A = A$
 $A + \overline{A} = 1$

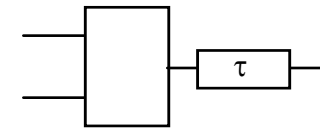
- Logikgrundgatter
- Logikgrundgatter mit Schmitt-Trigger Eingang
- Multiplexer / Demultiplexer
- Register / Zwischenspeicher
- Schieberegister
- Zähler / Frequenzteiler
- Monovibratoren
- Arithmetische Funktionen
- Codierer / Decodierer
- Fehlererkennung
- Speicher / Speichersteuerung
- Bustreiber / Puffer

- Auf der Gatterebene wurden die Gatter bisher als ideale logische Verknüpfungen betrachtet.
- In der Realität werden Gatter jedoch mittels Transistoren, Widerstände, Kapazitäten, etc. realisiert.
- Der zeitliche Signal-Verlauf eines realen Gatters weicht vom Verlauf der idealen booleschen Größen ab.

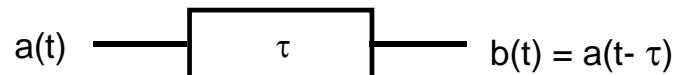


- Um die Effekte auf der Gatterebene annähernd zu beschreiben, gibt es eine Reihe verschieden komplexer Modelle.
- Einfachstes Modell: **Totzeitmodell**
 - Es werden lediglich die durch Gatter und Leitungen entstehenden Totzeiten berücksichtigt.

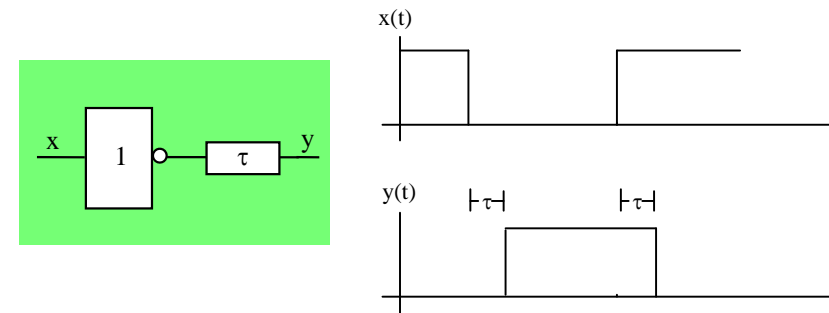
- Beim Totzeitmodell wird ein **reales Verknüpfungsglied** (Gatter) modelliert durch:
- Ein **ideales Verknüpfungsglied** ohne Verzögerungsanteil und
- ein **Totzeitglied** als reines Verzögerungsglied (steht für die Schaltzeit des Gatters und ggf. für Leitungsverzögerungen).



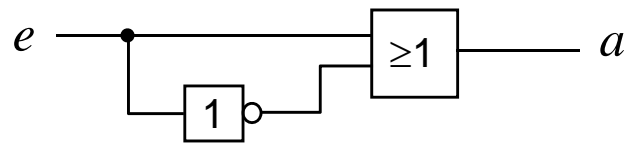
- Das zeitliche Verhalten einer binären Größe hinter einem Totzeitglied ist dasselbe wie dasjenige vor dem Totzeitglied, aber um die Zeit τ versetzt.



- Mit Hilfe dieses einfachen Modells lassen sich Laufzeiteffekte bereits sehr gut modellieren (auch wenn dieses Modell noch sehr idealisierend ist!).

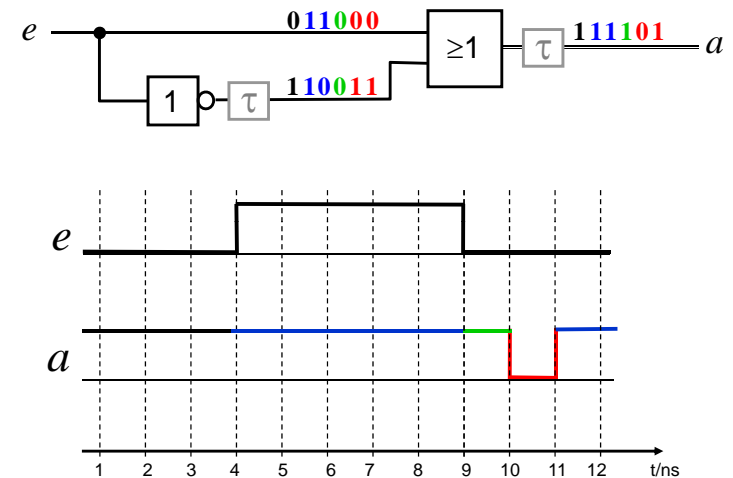


Gegeben:



$$a = e \vee \bar{e} = 1$$

Beide Gatter haben eine Verzögerungszeit von 1 ns



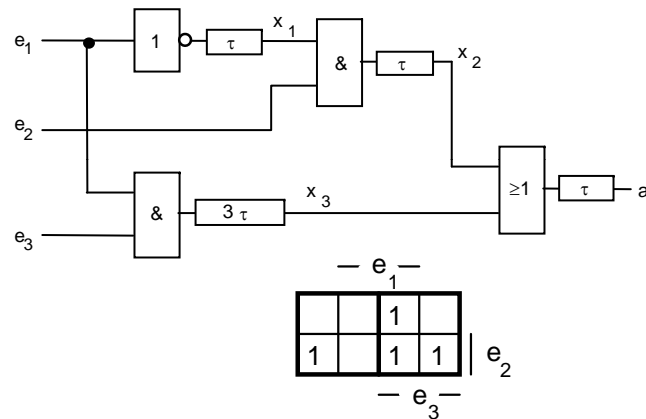
Verhalten eines Schaltnetzes bei Änderung der Eingabebelegung 1

- **Ideales Schaltnetz:**
- Das Ausgangssignal **ändert sich nicht**, wenn alte und neue Belegung denselben logischen Verknüpfungswert liefern.
- Das Ausgangssignal **ändert sich genau einmal**, wenn alte und neue Belegung verschiedene logische Verknüpfungswerte liefern.

Verhalten eines Schaltnetzes bei Änderung der Eingabebelegung 2

- **Reales Schaltnetz:**
- Die Änderung läuft auf verschiedenen langen Wegen mit verschiedenen Verzögerungen durch das Schaltnetz.
- **Mehrfache Änderungen des Ausgangssignals sind möglich, bis sich der stabile Endwert einstellt**
- → **Hasardfehler**

Funktion: $a = \bar{e}_1 e_2 \vee e_1 e_3$



• Es sollen die folgenden Eingabewechsel betrachtet werden:

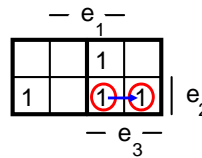
- a) Die Eingänge e_2 und e_3 seien konstant 1, der Eingang e_1 wechsele von 0 auf 1
- b) Die Eingänge e_2 und e_3 seien konstant 1, der Eingang e_1 wechsele von 1 auf 0

Funktion: $a = \bar{e}_1 e_2 \vee e_1 e_3$

Funktionswerte bei den Übergängen:

$$(e_3, e_2, e_1) = (1, 1, 0) \Rightarrow a = 1$$

$$(e_3, e_2, e_1) = (1, 1, 1) \Rightarrow a = 1$$

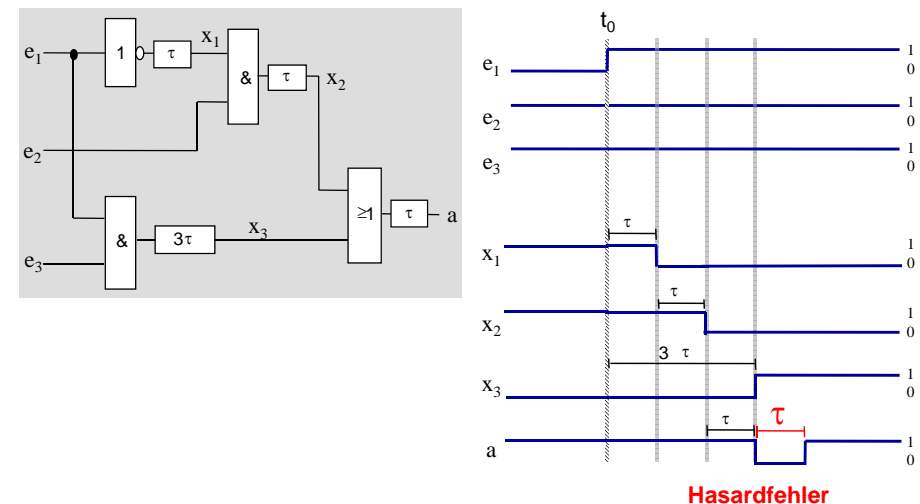


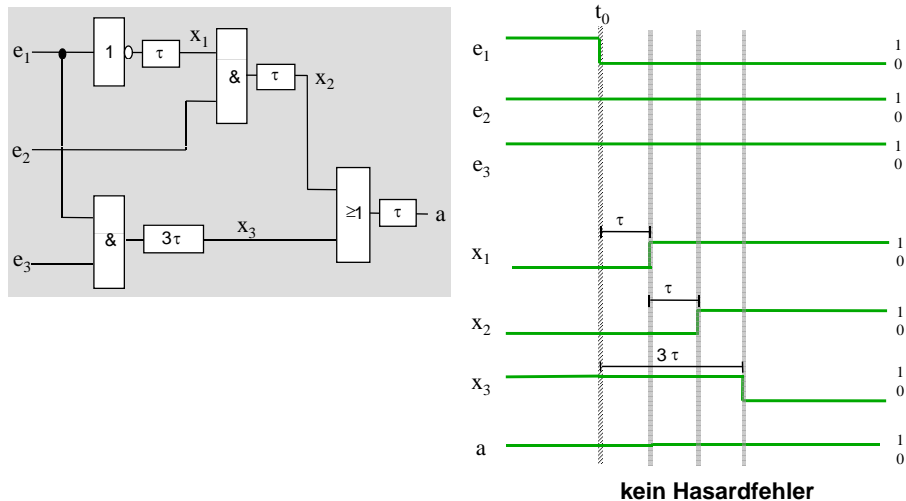
\Rightarrow korrektes Verhalten bei den Übergängen.

Bei beiden Übergängen darf sich der Wert von a nicht ändern. Er muss **konstant 1** bleiben.

Genau dieses Verhalten kann jedoch nicht garantiert werden !

Das Verhalten anhand des Totzeitmodells





- Beim Wechsel e_1 von 0 auf 1 liefert das Ausgangssignal nicht ständig den korrekten Funktionswert
- → **Hasardfehler**
- Beim Wechsel e_1 von 1 auf 0 ist das Ausgangssignal hingegen korrekt

Begriffe: Eingabewechsel, Übergang

- Definition:
- Ein **Eingabewechsel** ist die Änderung einer oder mehrerer Eingangsvariablen zu einem bestimmten Zeitpunkt.
 - Falls sich mehrere Eingangsvariablen ändern sollen, so müssen sie dies gleichzeitig tun.
- Definition:
- Ein **Übergang** ist der Vorgang im Schaltnetz, der vom Eingabewechsel ausgelöst wird. Er beginnt mit dem Eingabewechsel und endet mit dem Eintreten des neuen Ruhezustandes.

Begriffe: Hasardfehler - Hasard

- Definition:
- Ein **Hasardfehler** ist eine mehrmalige Änderung der Ausgangsvariablen während eines Übergangs.
- Definition:
- Ein **Hasard** ist die durch das Schaltnetz gegebene logisch-strukturelle Vorbedingung für einen Hasardfehler, ohne Berücksichtigung der konkreten Verzögerungswerte.

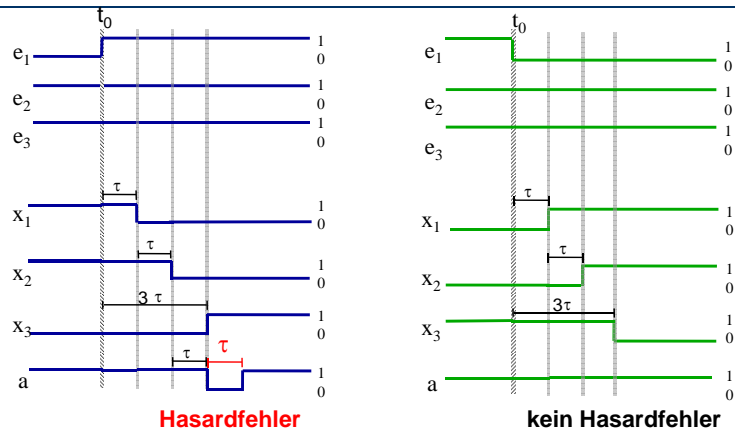
Hasardbehaftete Übergänge 1

- Jeder Hasard ist eine Eigenschaft eines bestimmten Überganges im Schaltnetz.
- Zur Betrachtung, ob ein bestimmter Übergang **hasardbehaftet** ist oder nicht, interessiert nur:
 - Die logische Funktion, die durch das Schaltnetz realisiert wird.
 - Die Struktur des Schaltnetzes, d.h. die Anzahl, die Verknüpfungsfunktionen und die genaue Anordnung der Gatter zur Realisierung der Funktion, nicht jedoch die tatsächlichen Verzögerungswerte der verwendeten Gatter.

Hasardbehaftete Übergänge 2

- Tritt in einem konkreten Schaltnetz bei einem bestimmten Übergang ein Hasardfehler auf, so ist dieser Übergang hasardbehaftet, also:
 - **Hasardfehler** \rightarrow **Hasard**
- Die Umkehrung gilt jedoch nicht: Ist ein Übergang hasardbehaftet, so folgt hieraus nicht notwendigerweise das Eintreten eines Hasardfehlers.
- **Hasard** \wedge **ungünstige Verzögerungswerte** \rightarrow **Hasardfehler**

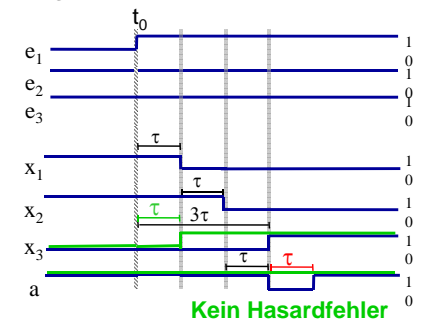
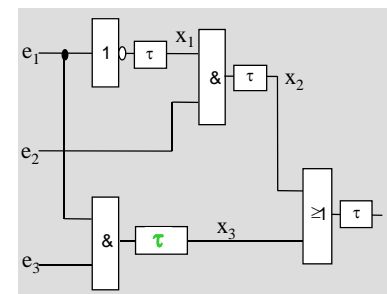
Beispiel 1



Der Übergang $(e_3, e_2, e_1) : (1,1,0) \rightarrow (1,1,1)$ ist hasardbehaftet, da es die Möglichkeit zu einem Hasardfehler gibt.

Beispiel 2

Ändert man nun die Totzeit mit dem Wert 3τ auf den Wert τ ab, so entsteht für den Übergang $(1,1,0) \rightarrow (1,1,1)$ kein Hasardfehler mehr. Der Übergang ist jedoch nach wie vor hasardbehaftet, da für den Hasard konkrete Verzögerungswerte nicht interessieren.



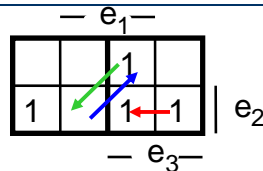
Statischer Übergang

- Statischer Übergang:
- Ein Übergang, bei dem Anfangs- und Endwert des Ausgangssignals gleich sind (unabhängig davon, ob ein Hasardfehler eintritt oder nicht).
- **Statischer 0-Übergang:**
Anfangs- und Endwert des Ausgangssignals sind beide 0
- **Statischer 1-Übergang:**
Anfangs- und Endwert des Ausgangssignals sind beide 1

Dynamischer Übergang

- Dynamischer Übergang:
- Ein Übergang, bei dem Anfangs- und Endwert des Ausgangssignals verschieden sind
- **Dynamischen 01-Übergang:**
Anfangswert des Ausgangssignals 0, der Endwert 1
- **Dynamischen 10-Übergang:**
Anfangswert des Ausgangssignals 1, der Endwert 0

Beispiel



Statischer 1-Übergang:

Übergang (e_3, e_2, e_1) : $(1, 1, 0) \rightarrow (1, 1, 1)$

Dynamischer 01-Übergang:

Übergang (e_3, e_2, e_1) : $(0, 1, 1) \rightarrow (1, 0, 1)$

Dynamischer 10-Übergang

Übergang in umgekehrter Richtung: $(1, 0, 1) \rightarrow (0, 1, 1)$

Statischer 0-Hasard

- Analog zu den Übergängen werden die Hasards als statisch bzw. dynamisch bezeichnet, je nachdem, bei welcher Art von Übergang sie auftreten.
-
- Ein Hasard in einem statischen 0-Übergang heißt **statischer 0-Hasard**.

Beispiele für statische 0-Hasardfehler:



Statischer 1-Hasard

- Ein Hasard in einem statischen 1-Übergang heißt **statischer 1-Hasard**.
- Beispiele für statische 1-Hasardfehler:



Der Übergang $(1,1,0) \rightarrow (1,1,1)$ im Beispiel enthält also einen statischen 1-Hasard.

Dynamischer 01-Hasard

- Ein Hasard in einem dynamischen 01-Übergang heißt **dynamischer 01-Hasard**.
- Beispiele für dynamische 01-Hasardfehler:

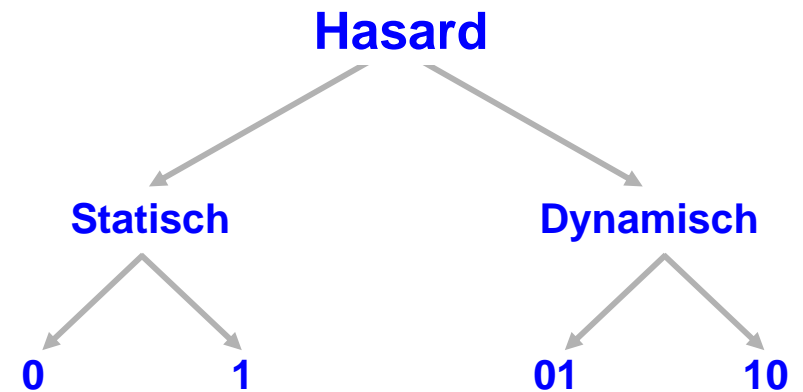


Dynamischer 10-Hasard

- Ein Hasard in einem dynamischen 10-Übergang heißt **dynamischer 10-Hasard**.
- Beispiele für dynamische 10-Hasardfehler:



Klassifizierung von Hasards



Funktionshasard - Strukturhasard

- Weitere Unterscheidung von Hasards nach ihrer Ursache: Funktionshasards und Strukturhasards.
- Bei einem **Funktionshasard** liegt die Ursache in der zu realisierenden Funktion selbst.
- Bei einem **Strukturhasard** dagegen liegt die Ursache in der Struktur des realisierten Schaltnetzes, je nachdem welche Verknüpfungsfunktionen verwendet werden und wie sie angeordnet sind.

Funktionshasard

- Definition:
- Ein **Funktionshasard** ist ein Hasard, dessen Ursache in der zu realisierenden Funktion liegt.
- **Er tritt in jedem möglichen Schaltnetz für diese Funktion auf. Er kann nicht behoben werden.**
- \Rightarrow Für ein konkretes Schaltnetz mit Funktionshasard kann zwar der Funktionshasardfehler durch günstige Wahl der Verzögerungswerte behoben werden, nicht jedoch der Hasard selbst.

Strukturhasard

- Definition:
- Ein **Strukturhasard** ist ein Hasard, dessen Ursache in der Struktur des realisierten Schaltnetzes liegt.
- **Ein Strukturhasard kann deshalb immer durch Änderung der Schaltnetzstruktur bei gleicher Schaltnetzfunktion behoben werden.**
- \Rightarrow Es ist grundsätzlich möglich, ein anderes Schaltnetz zu entwerfen, welches dieselbe Funktion realisiert und den Strukturhasard beseitigt.

Klassifizierung von Laufzeiteffekten

benötigt man Zum Erkennen von	Funktion des Schaltnetzes	Struktur des Schaltnetzes (daher auch Funktion)	konkrete Verzögerungen der Gatter zur gegebenen Struktur des Schaltnetzes
Funktionshasards			
Strukturhasards			
Funktionshasardfehler			
Strukturhasardfehler			

Die dunkelgrauen Felder markieren die notwendigen Informationen
Die hellgrauen Felder markieren die daraus folgenden Informationen

- Realisierung in CMOS-Technik von
 - NOT
 - NAND
 - AND
 - NOR
 - OR
 - EXOR
 - EXNOR
 - Übergänge
 - OR \leftrightarrow AND
 - NOR \leftrightarrow NAND
 - AND \leftrightarrow NAND
- Laufzeitverhalten, Hasards
- Klassifizierung von Laufzeiteffekten