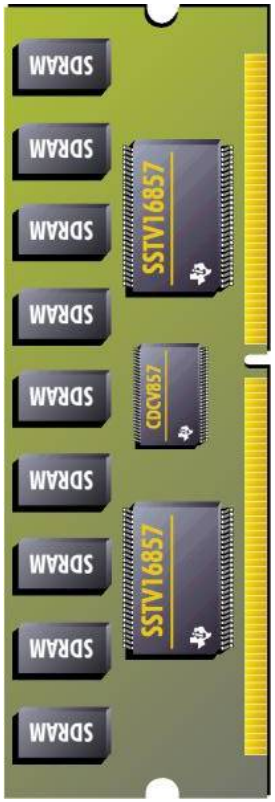
Freie Universität Berlin

Kapitel 13: Speicher



- Flip-Flop
- Speicherbreite, Organisation
- Struktur eines Halbleiterspeichers
- ROM
  - PROM
  - EPROM
  - EEPROM
- RAM
  - SRAM
  - DRAM
- Spezielle Speicher
  - LIFO
  - FIFO
  - Dual-Port RAM
- Speicheradressierung über ein Bussystem

Halbleiterspeicher

RAM – Random Access Memory
Schreib-Lese-Speicher

SRAM – statischer RAM

DRAM – dynamischer RAM

Halbleiterspeicher

ROM – Read Only Memory
Festwertspeicher

ROM einmalig programmierbar

ROM maskenprogrammiert

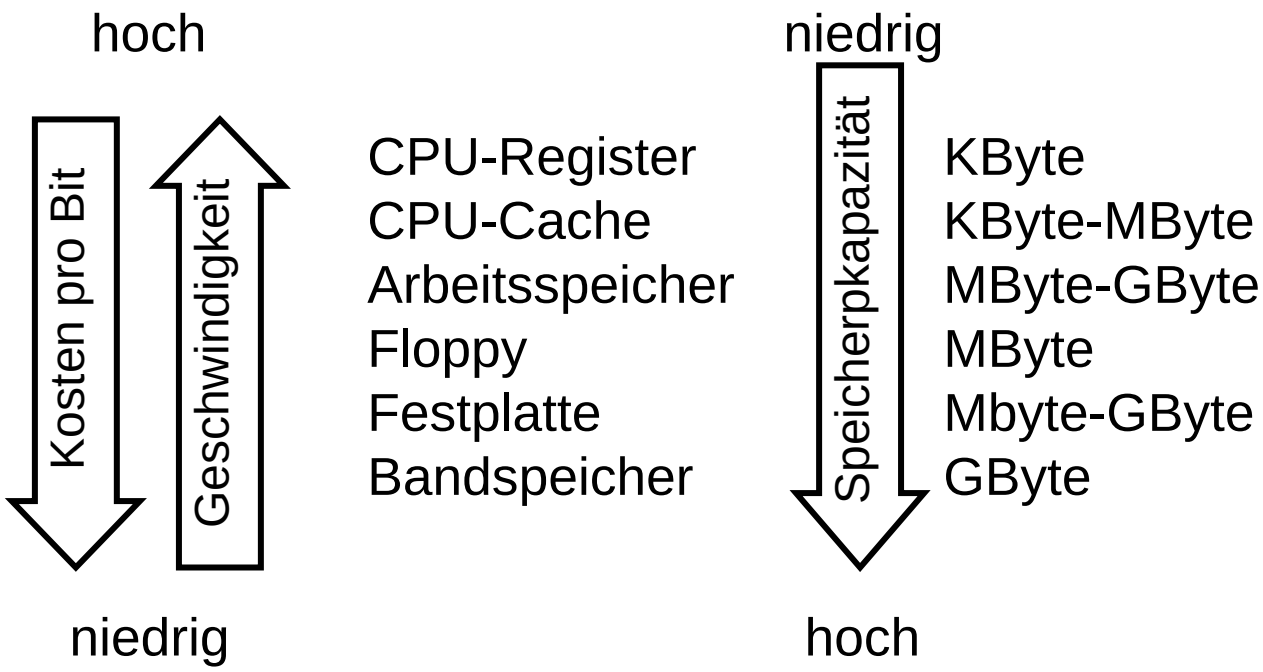
PROM programmierbarer ROM

ROM mehrmalig programmierbar

EPROM Erasable PROM

EEPROM Electrically Erasable PROM

Halbleiterspeicher

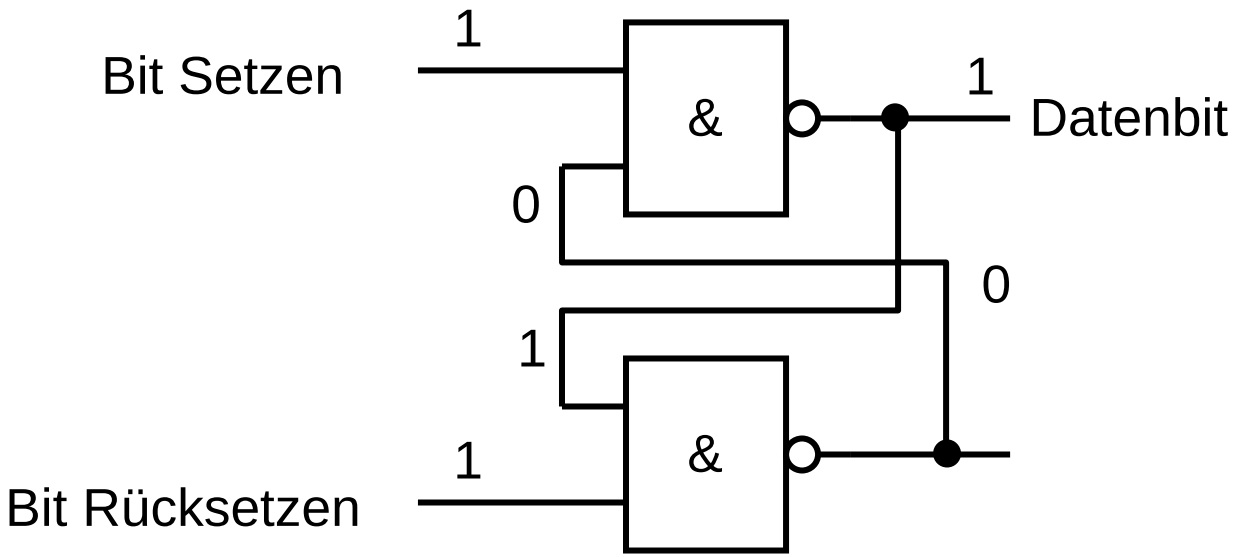


Halbleiterspeicher

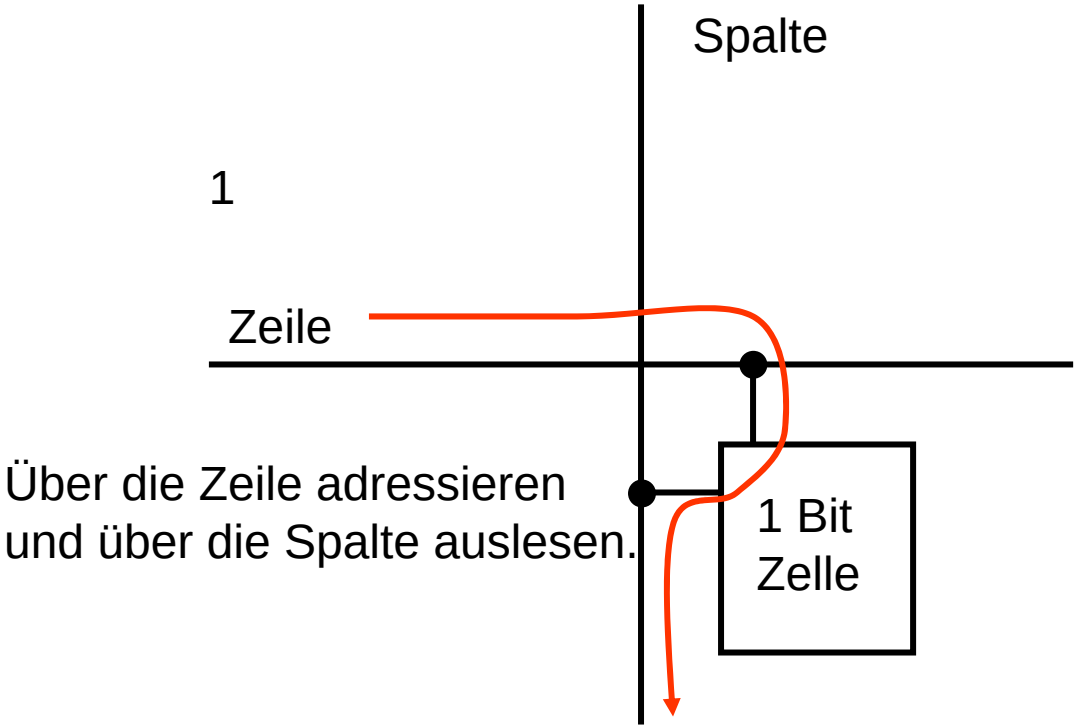
Integriert in:

- CPU
- Schnittstellen IC
- Grafikchips
- RAM DAC
- AD/DA – Umsetzern
- FD und HD Laufwerken
- .....

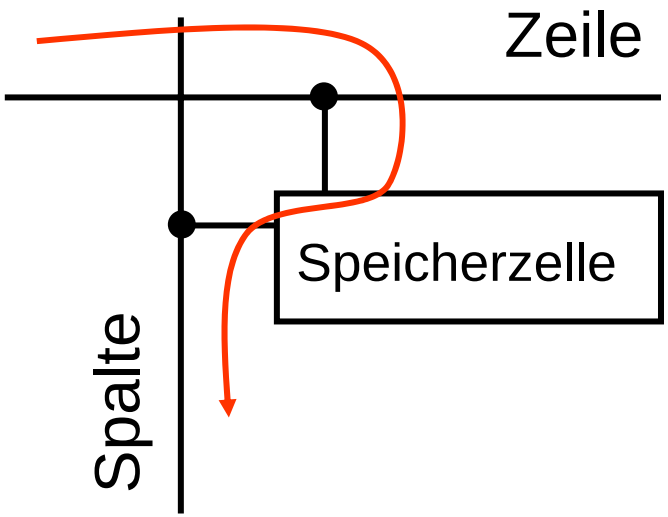
Speichergrundbaustein Flip-Flip



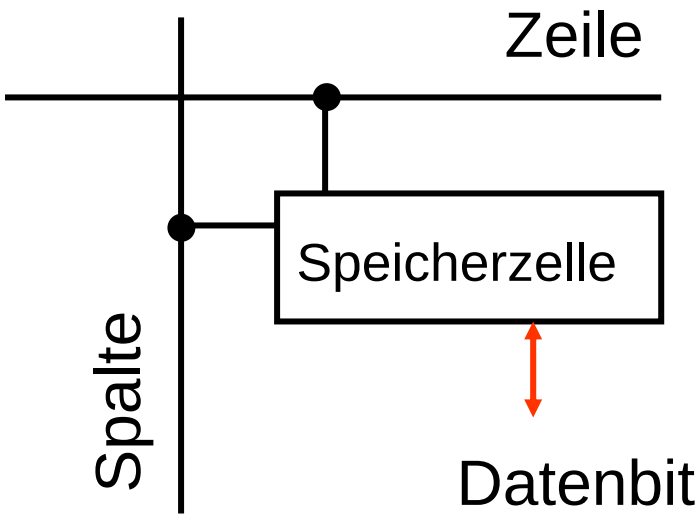
Möglichkeit ein Bit zu speichern



Bitbreiter Speicher

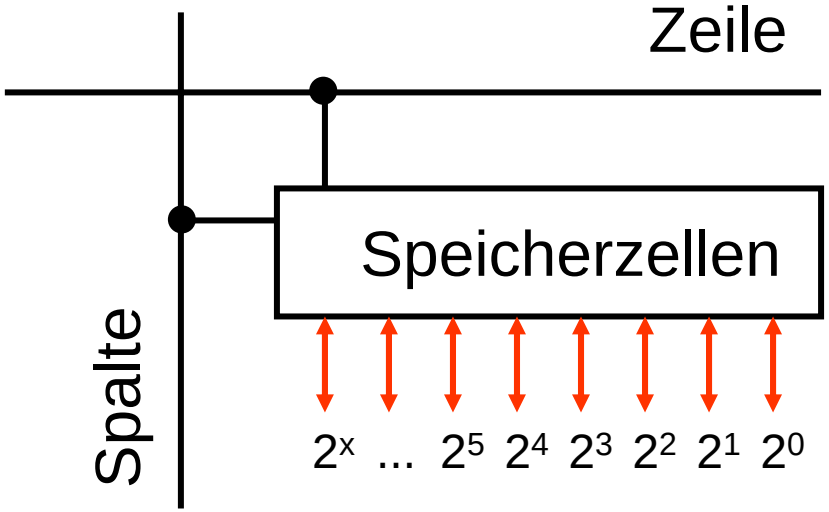


Über Zeile adressieren und über Spalte auslesen.



Über Zeile und Spalte adressieren und über eine Datenleitung auf das Bit zugreifen.

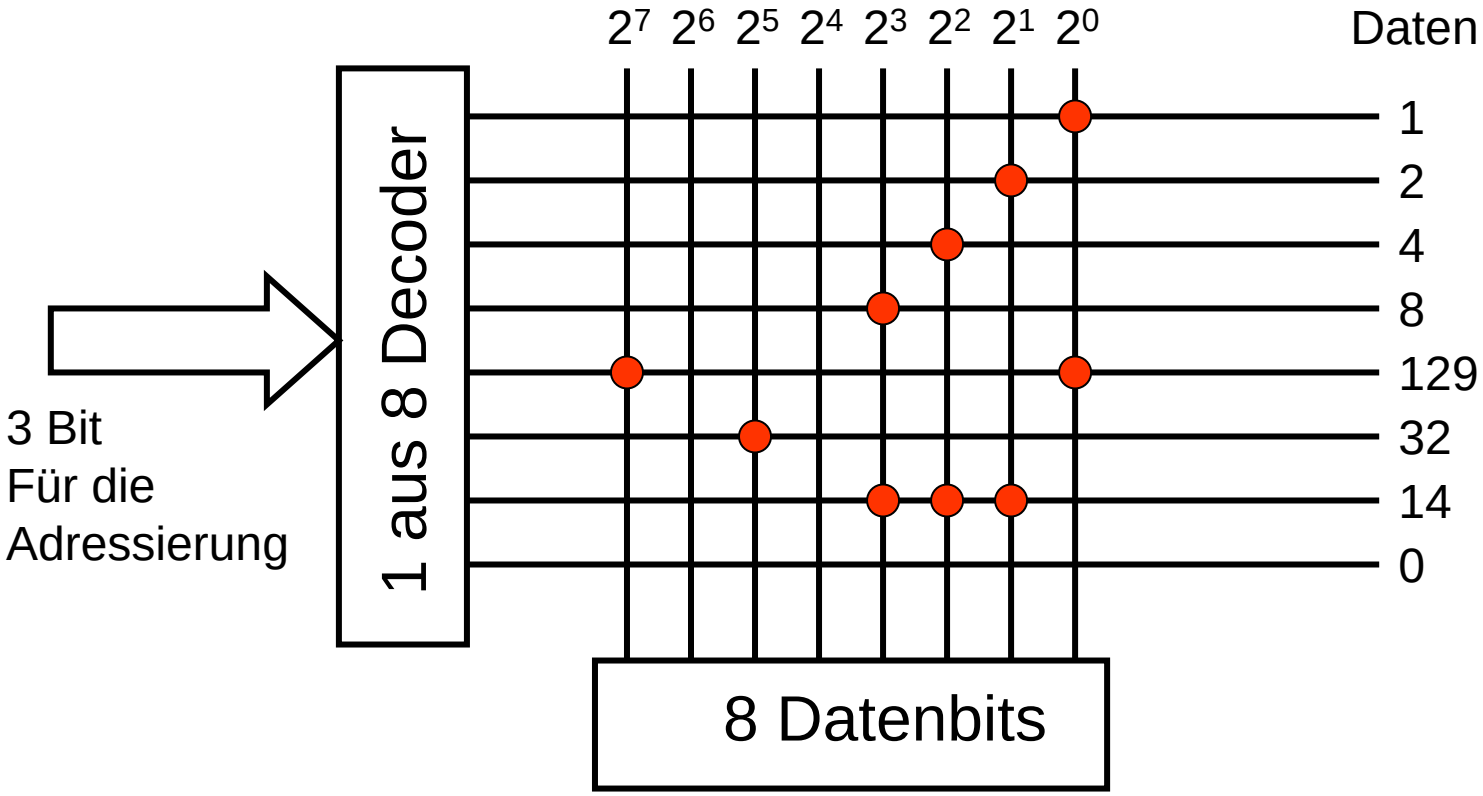
X-Bit breiter Speicher



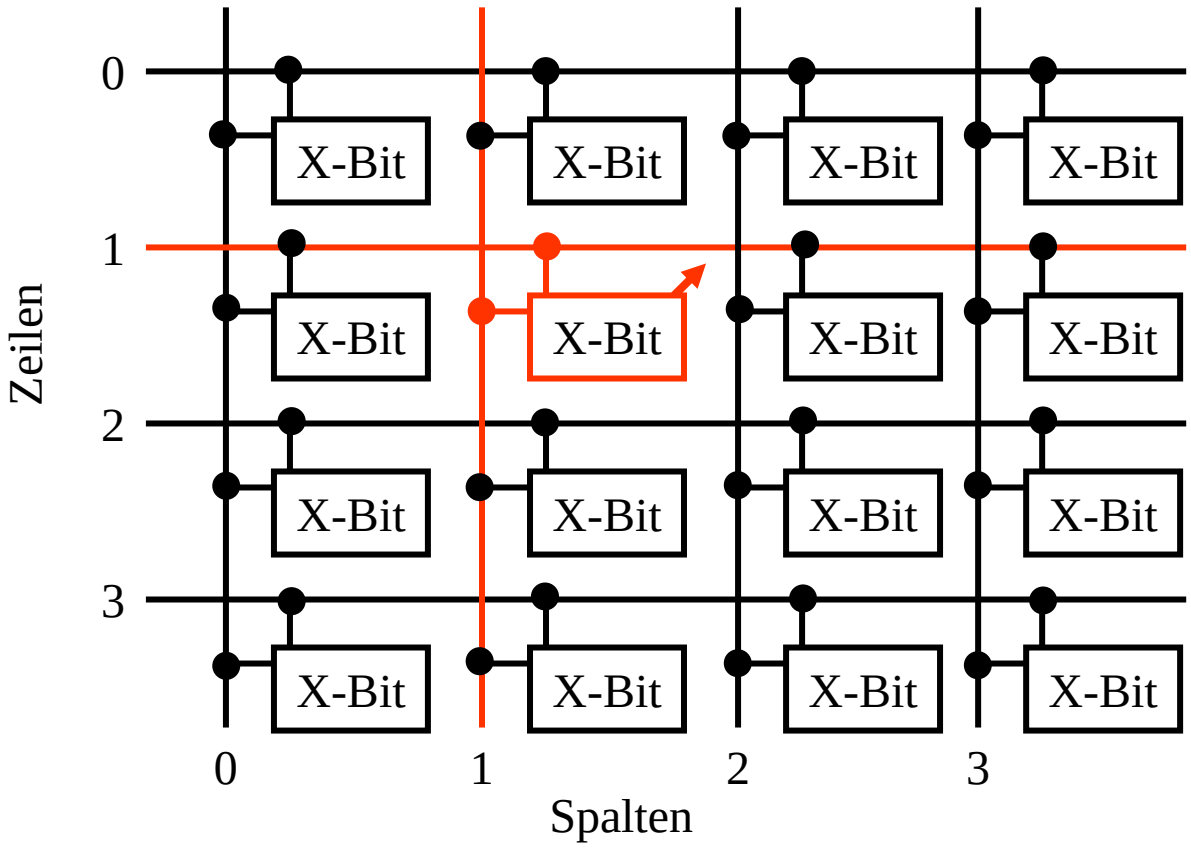
Daten

Über Zeile und Spalte adressieren und über X-Bit-Datenleitungen zugreifen.

Speicherorganisation
8 x 8 Bit

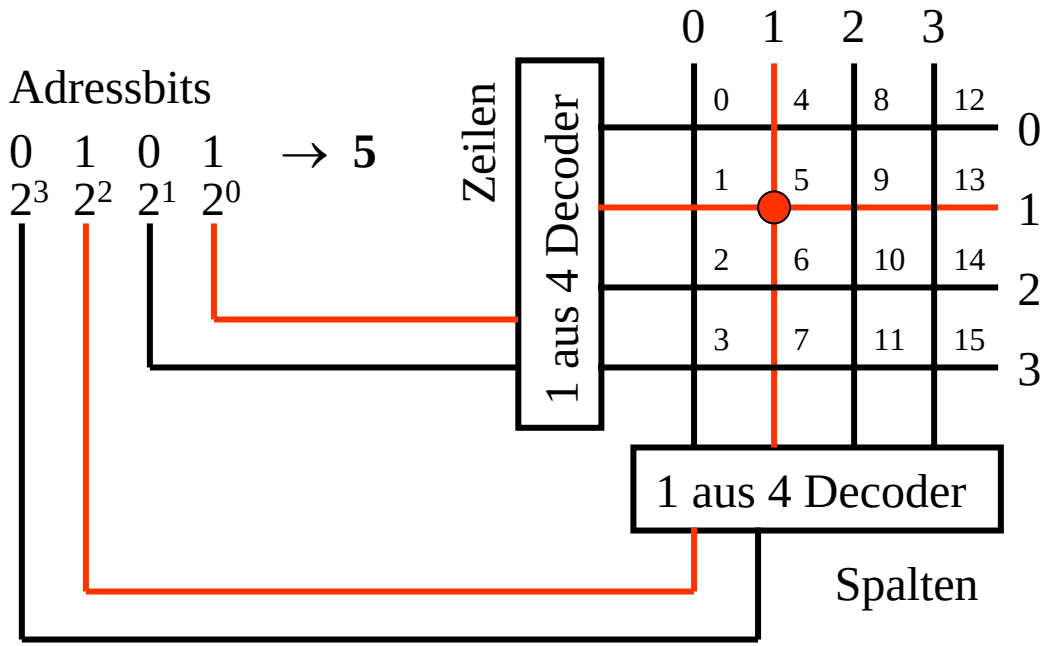


Speicherorganisation
16 x X-Bit



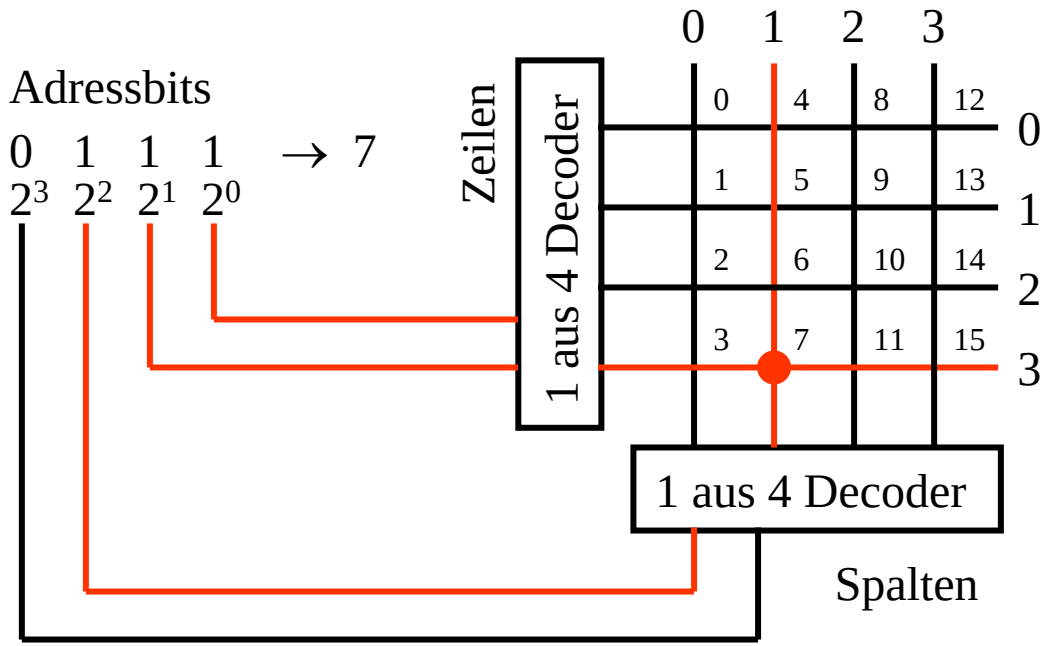
Speicherorganisation

Zeilen und Spalten Auswahl durch Adressdecodierung



Speicherorganisation

Zeilen und Spalten Auswahl durch Adressdecodierung



Freie Universität Berlin

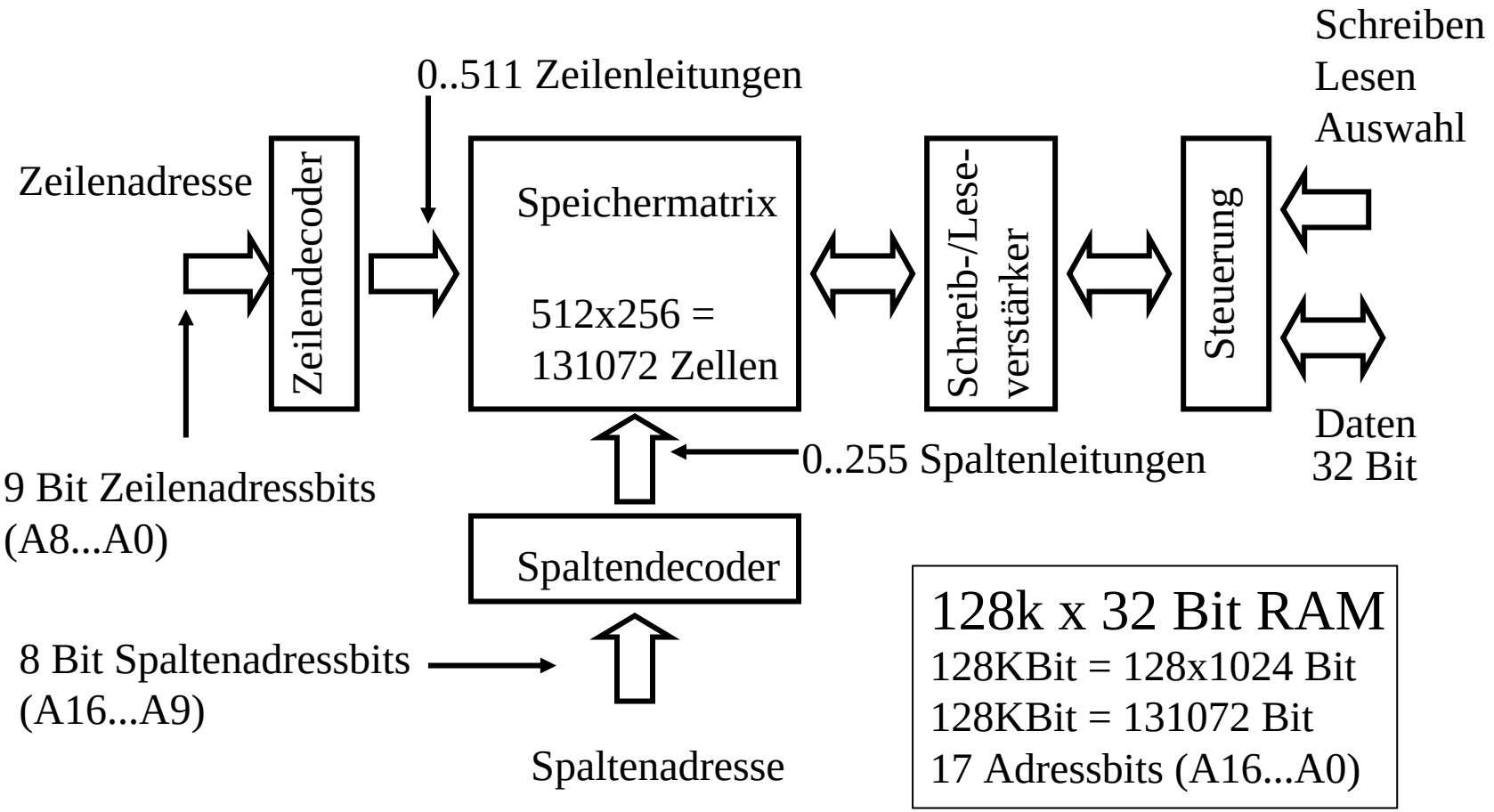
9M x 1Bit RAM

9M adressierbare Speicherzellen mit einer Datenbreite von 1 Bit.
9 MBit Speicherkapazität

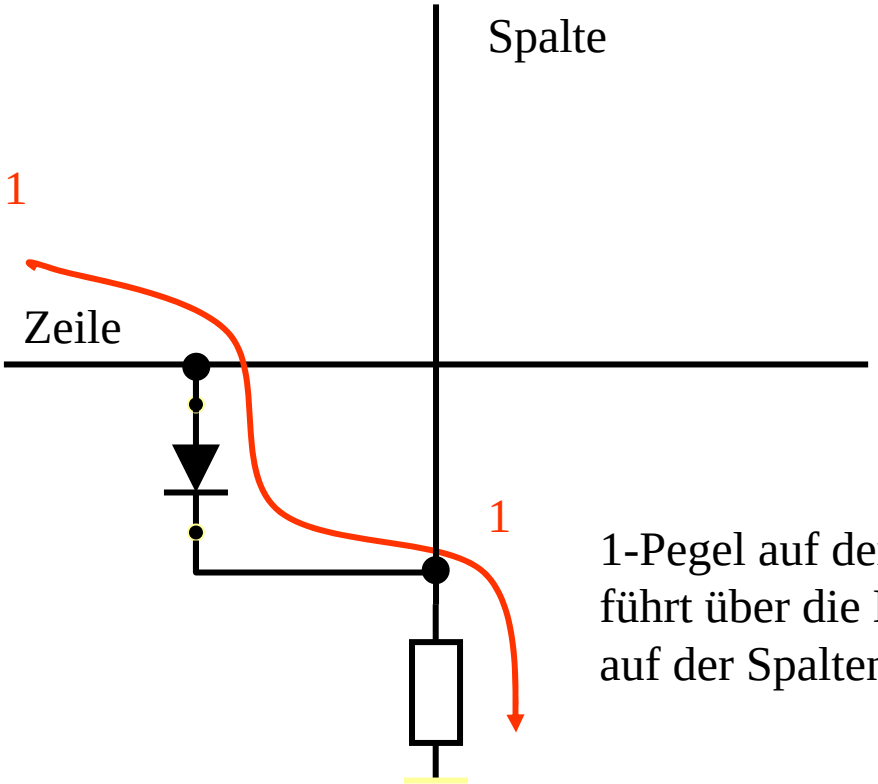
128K x 32 Bit RAM

128K adressierbare Speicherzellen mit einer Datenbreite von 32 Bit.
4MBit Speicherkapazität.

Struktur eines Halbleiterspeichers

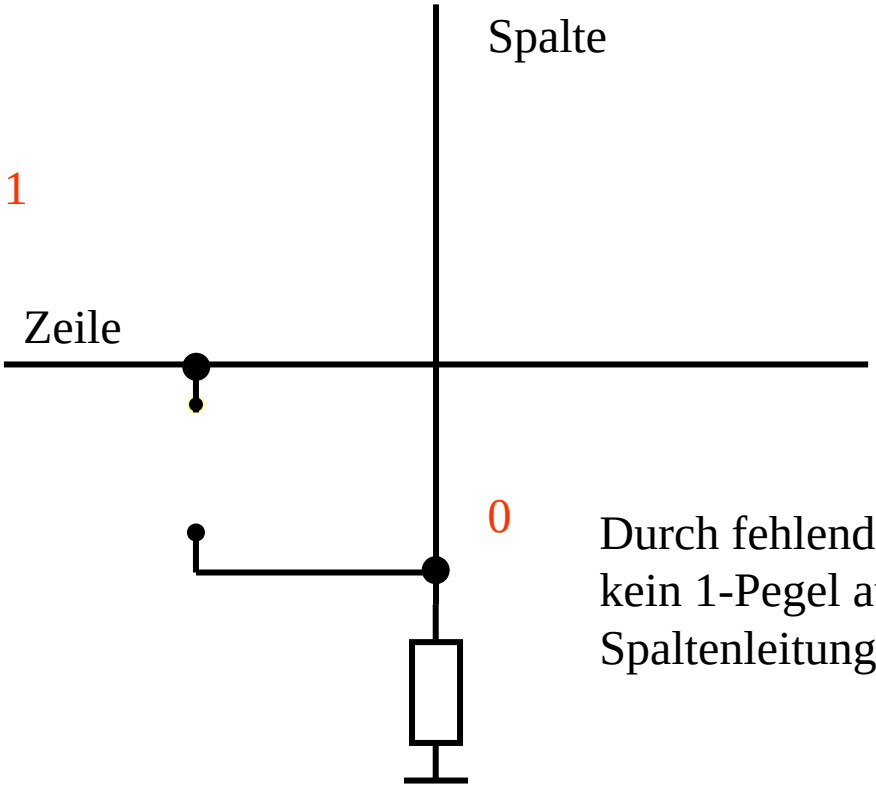


ROM Zelle
von PROM



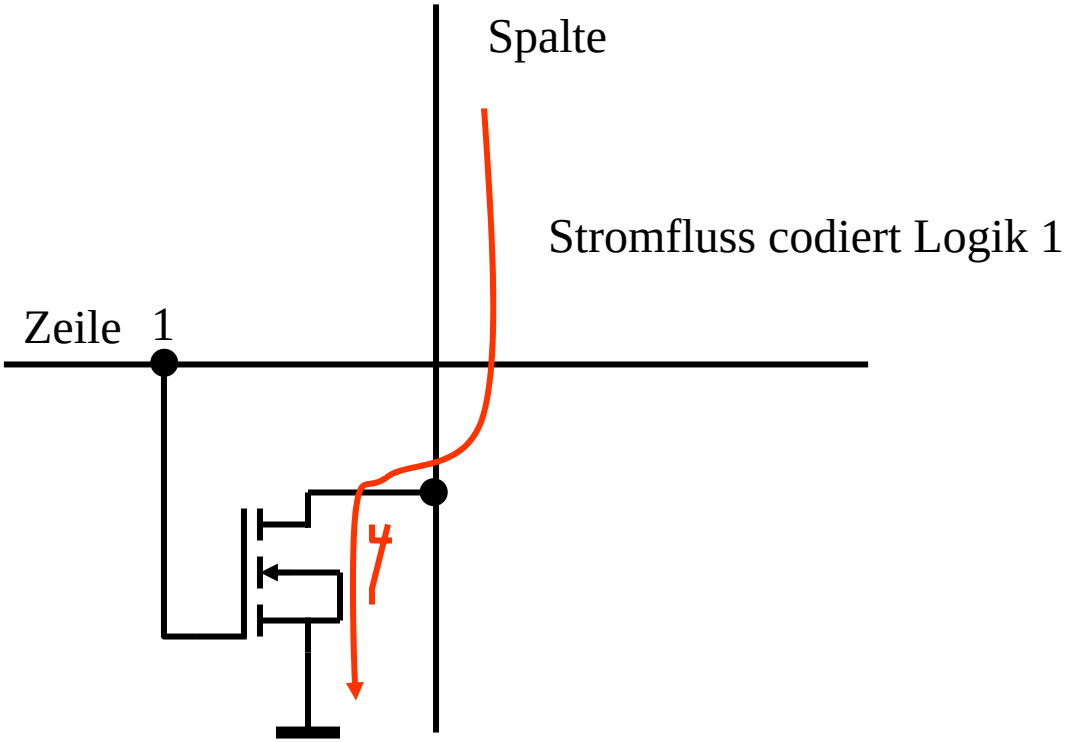
1-Pegel auf der Zeilenleitung führt über die Diode zu 1-Pegel auf der Spaltenleitung.

ROM Zelle
von PROM

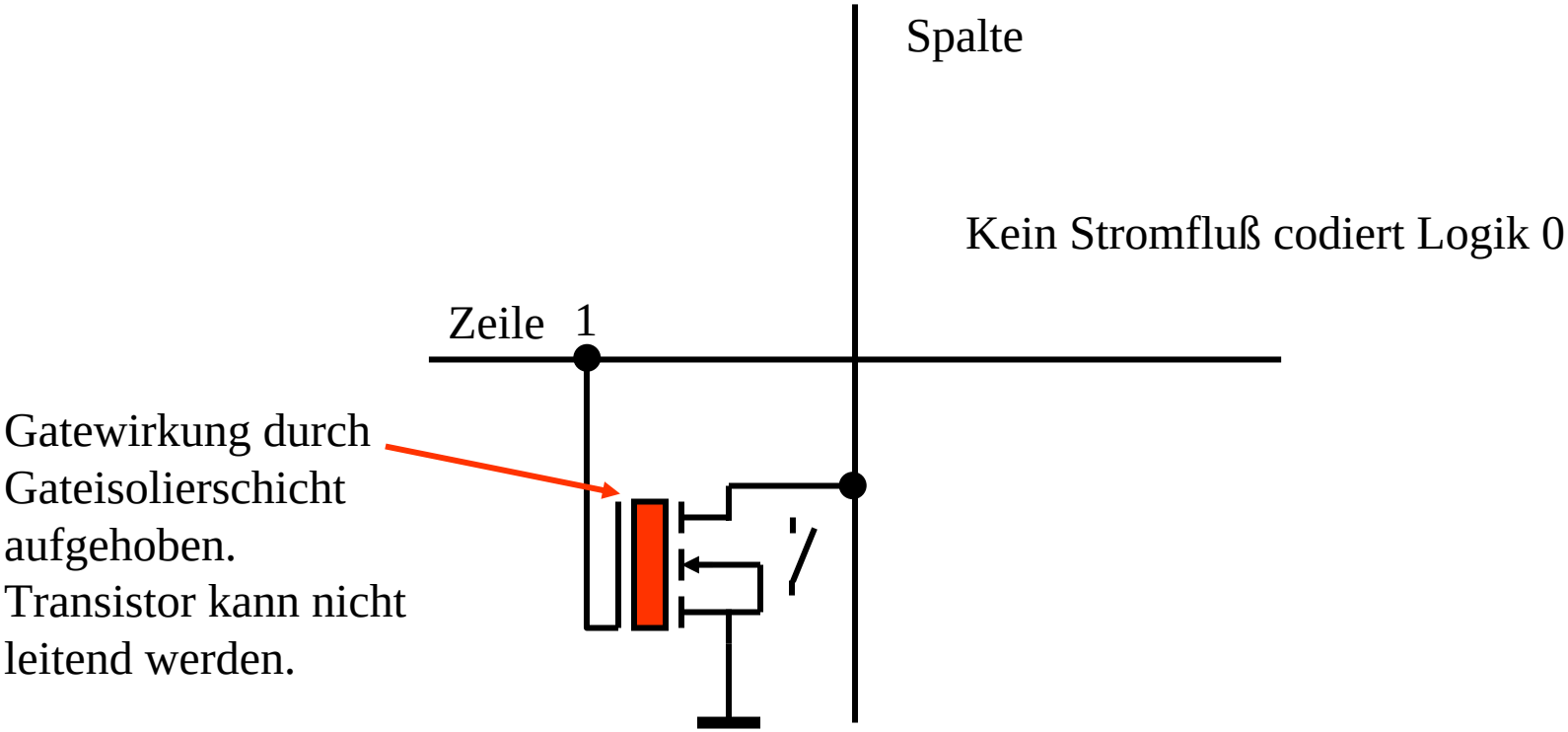


Durch fehlende Diode kein 1-Pegel auf der Spaltenleitung.

ROM Zelle
in MOS-Technik maskenprogrammiert

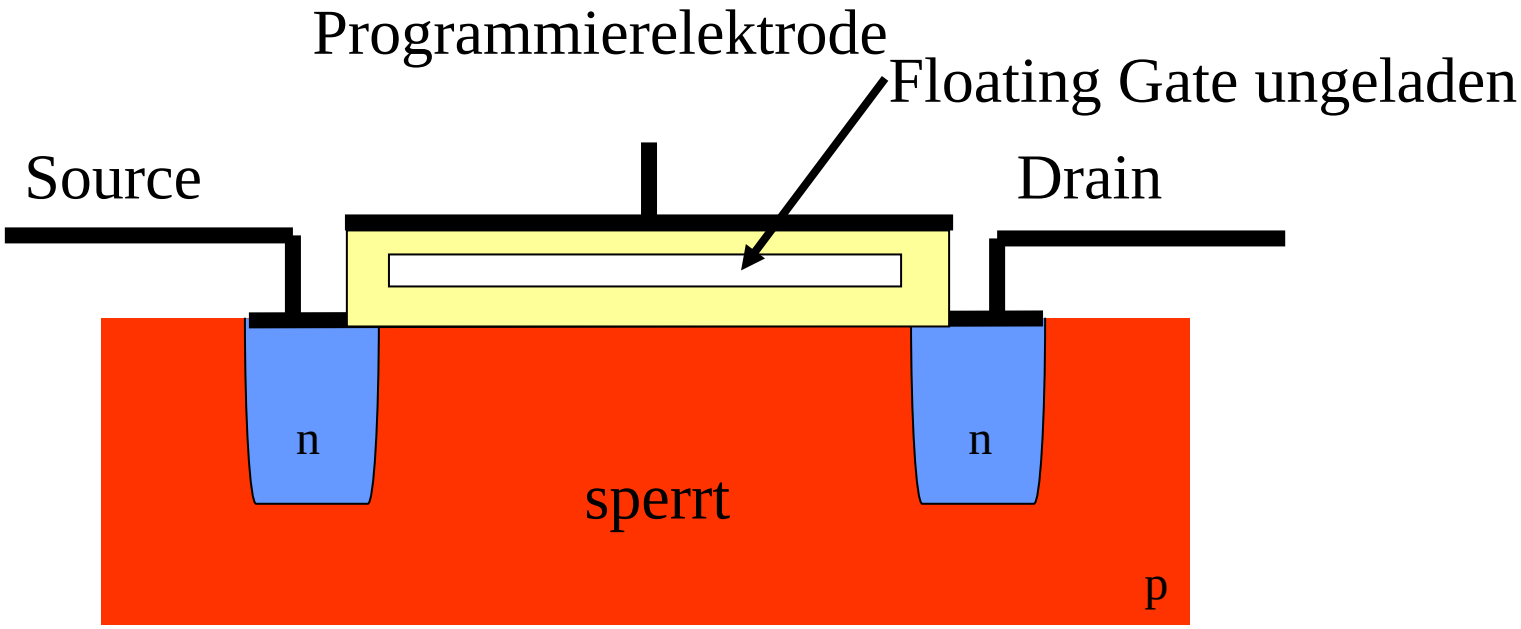


ROM Zelle
in MOS-Technik maskenprogrammiert



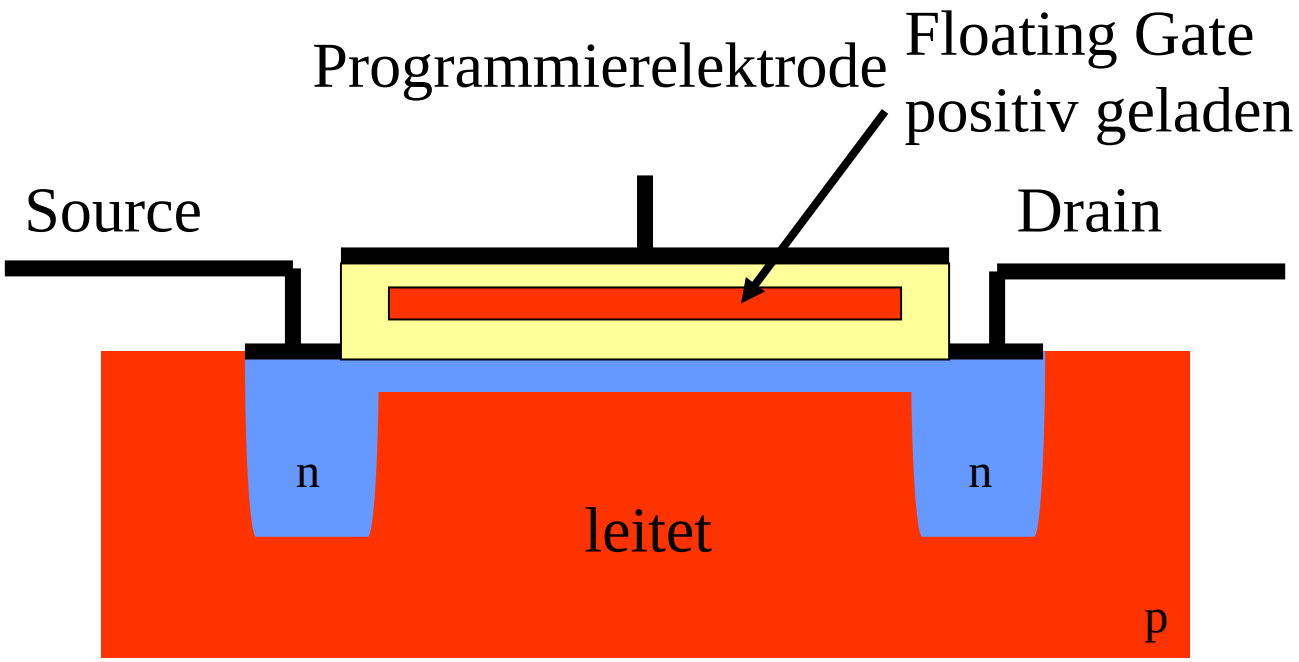
Floating Gate Transistor

N-Kanal MOSFET selbstsperrend als Basis für EEPROM

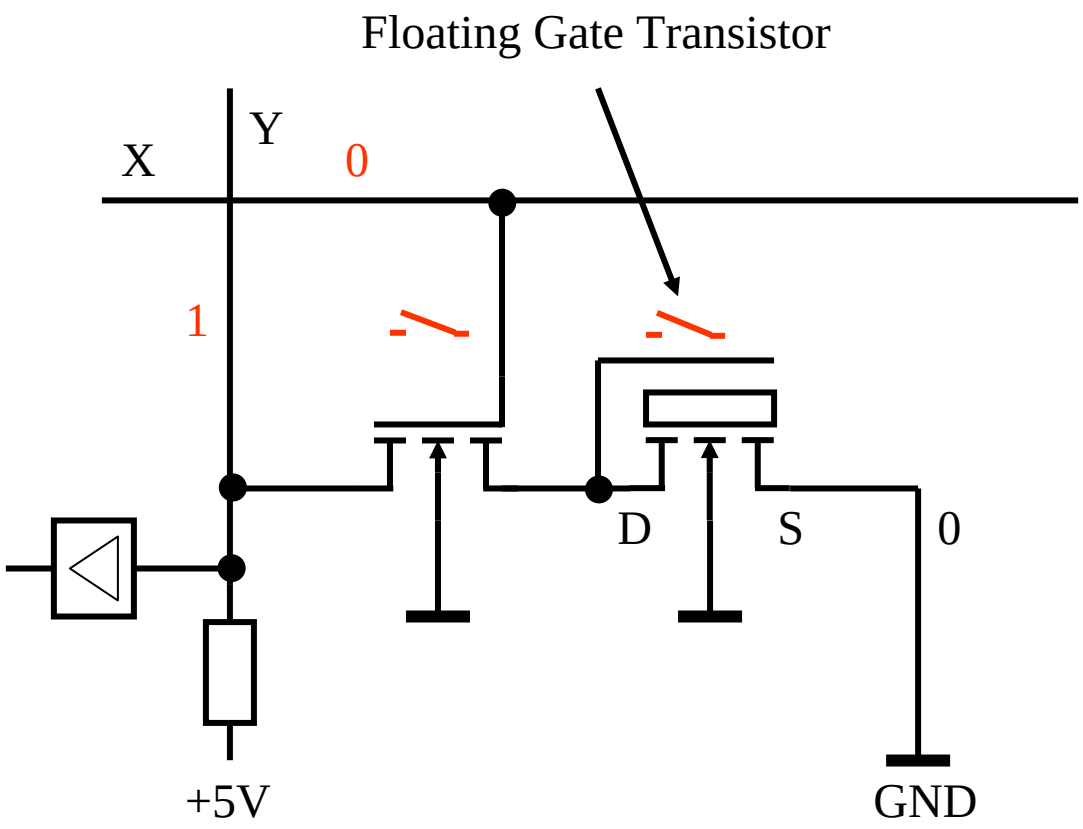


Floating Gate Transistor

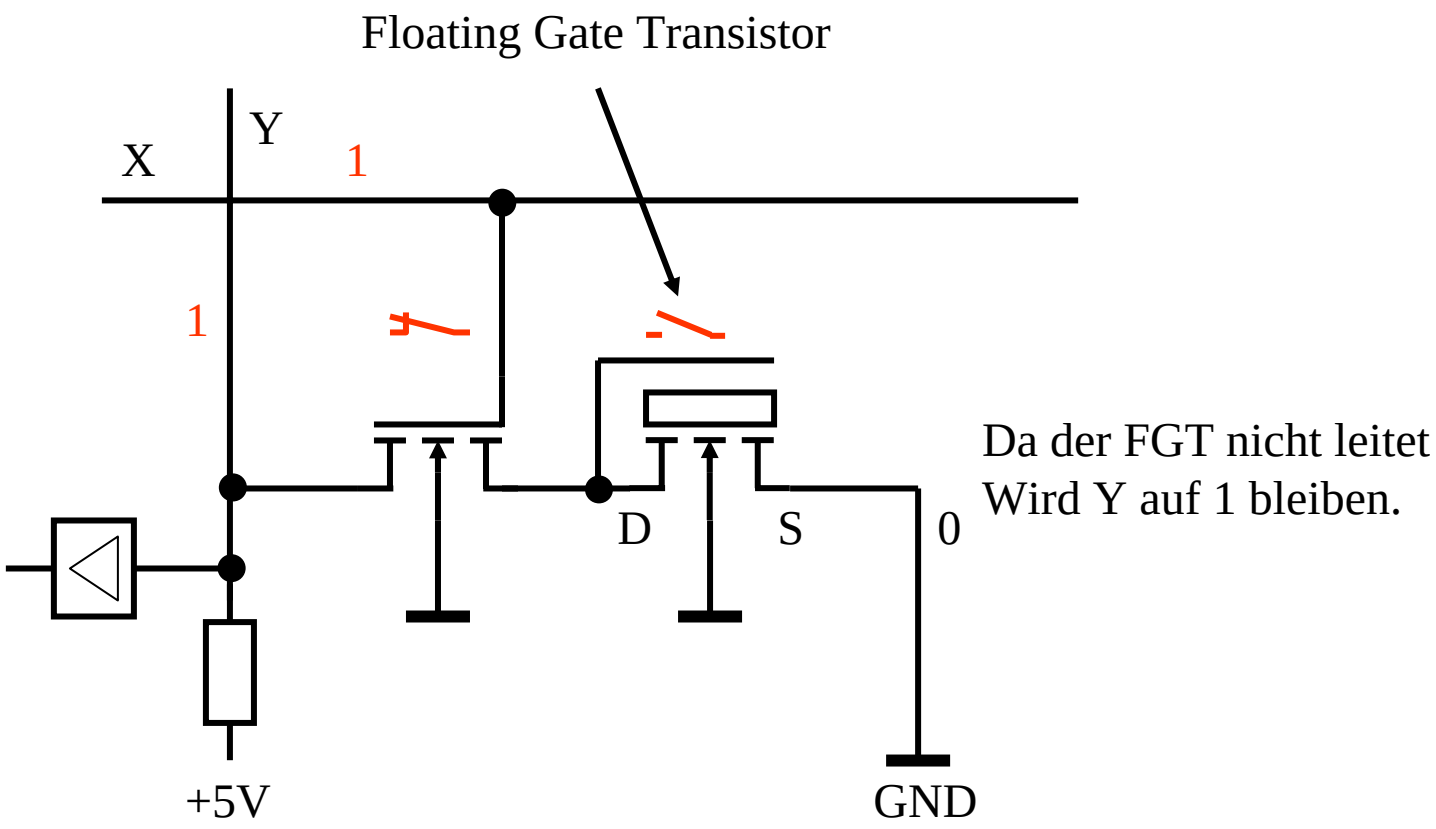
N-Kanal MOSFET selbstsperrend als Basis für EEPROM



EPROM Zelle
Zelle nicht aktiviert

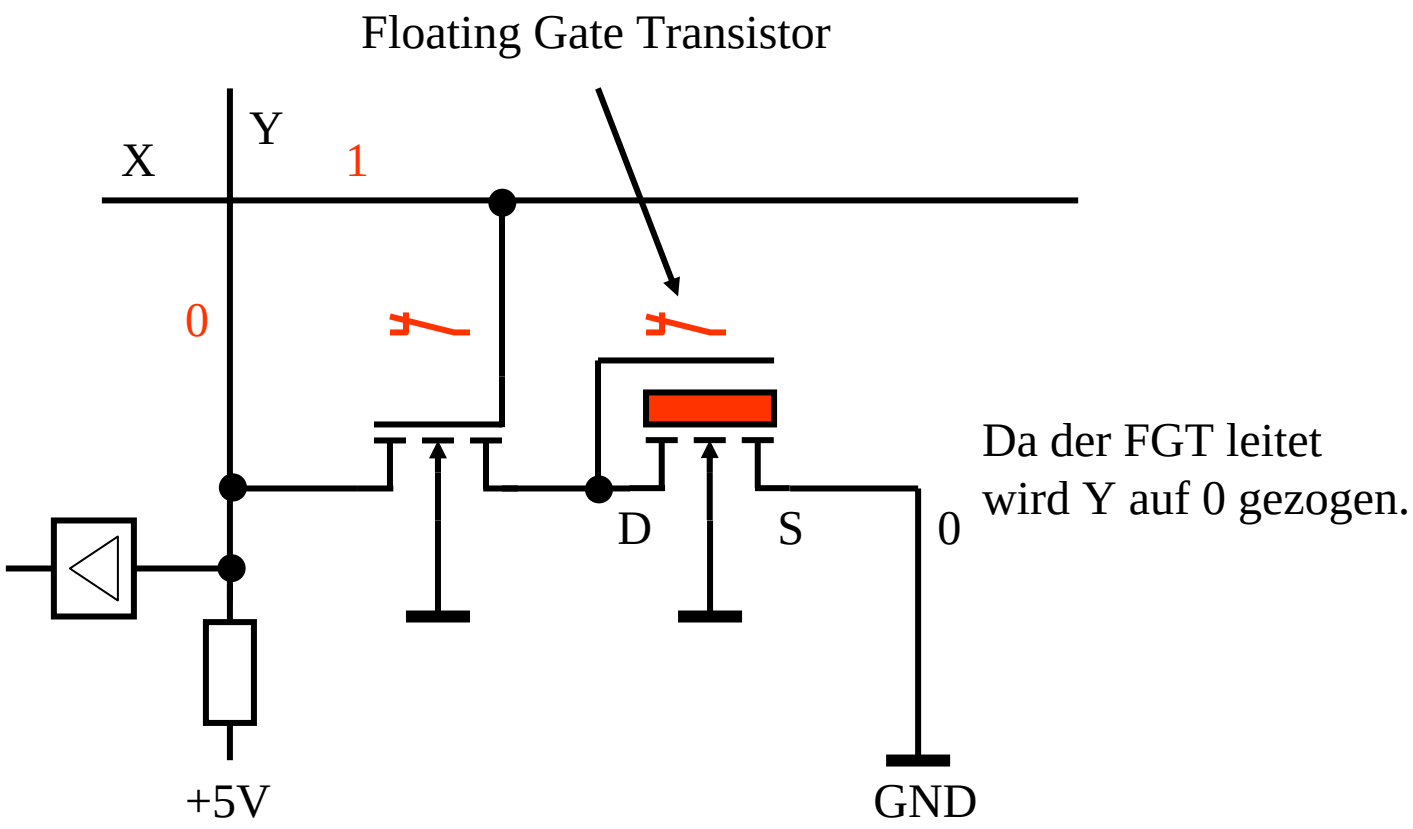


EPROM Zelle
Zelle aktiviert



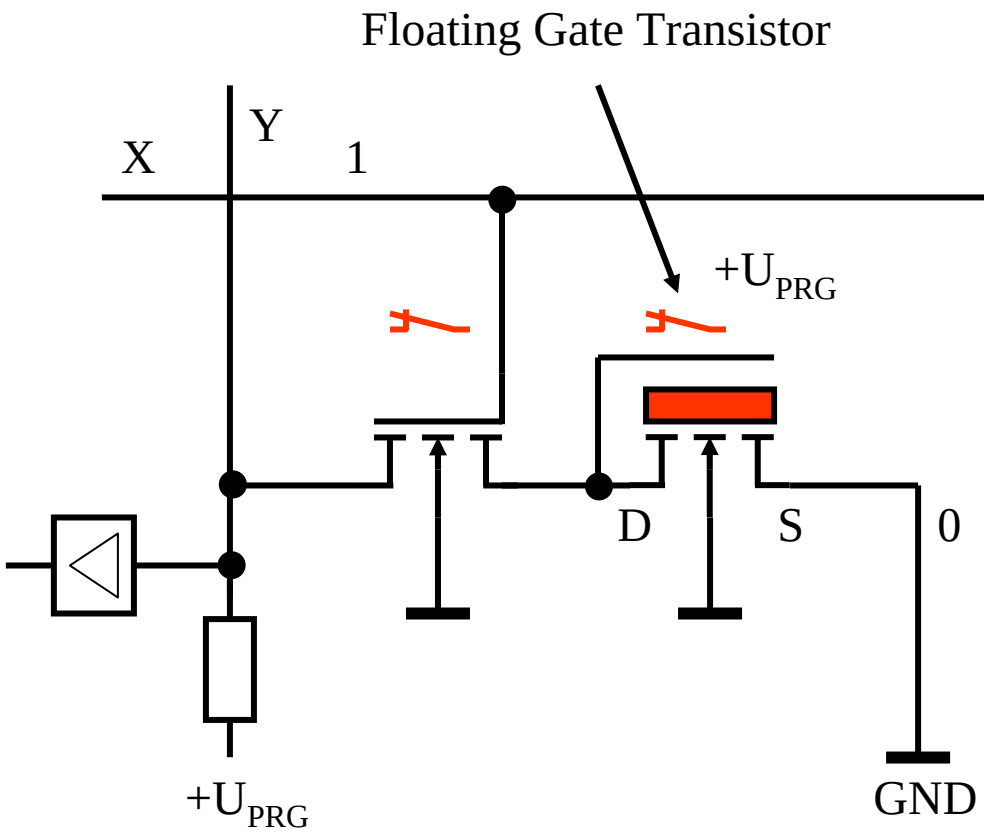
Da der FGT nicht leitet
Wird Y auf 1 bleiben.

EPROM Zelle
Zelle aktiviert



EPROM Zelle

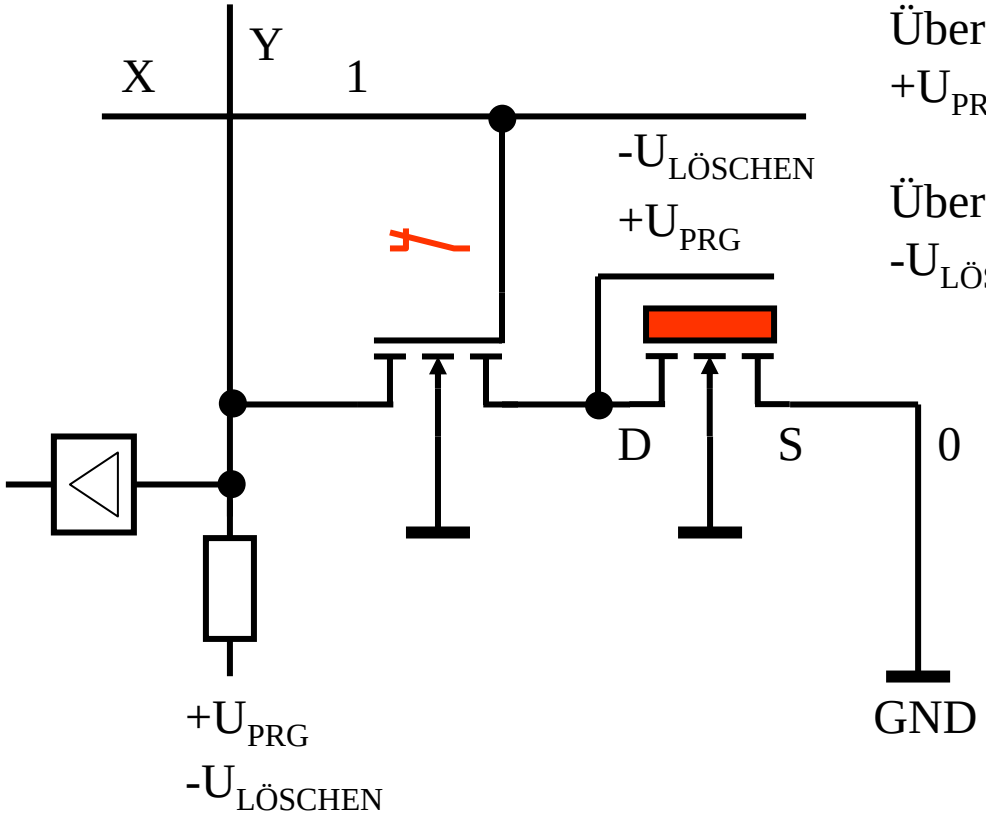
Zelle programmieren und löschen



Über Drain und die $+U_{PRG}$ wird das Floating Gate positiv geladen und der Transistor leitet.
Die Gateladung kann mit UV-Licht gelöscht werden.

EEPROM Zelle

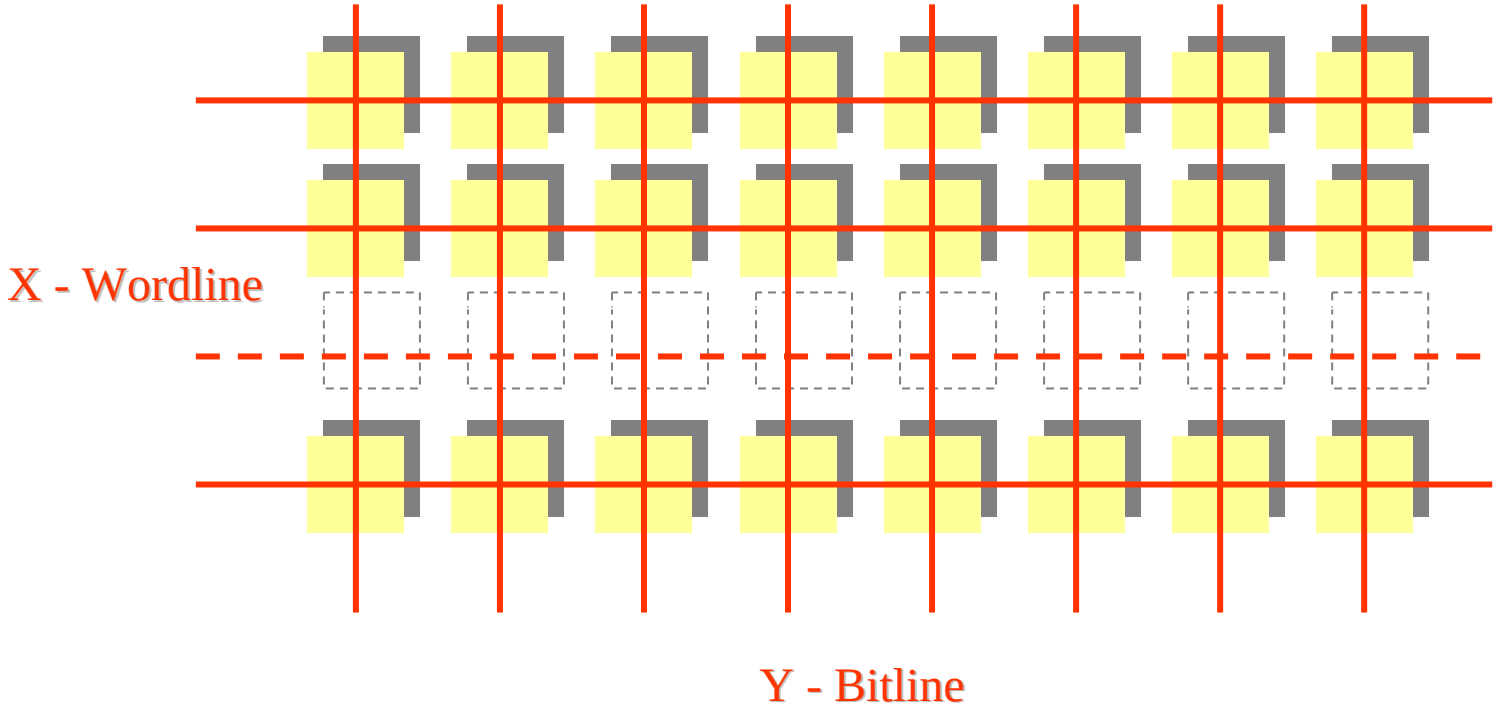
Zelle elektrisch programmieren und löschen



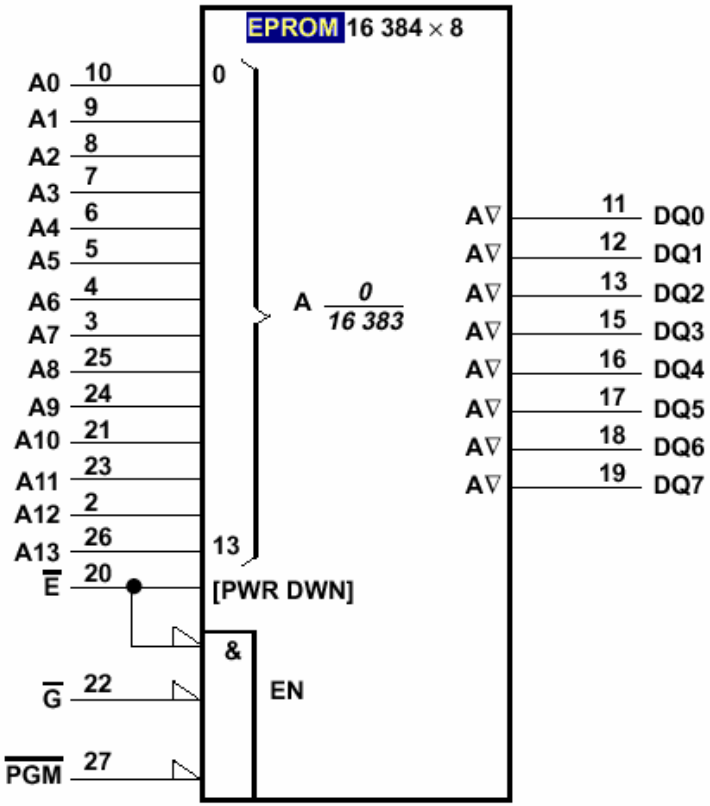
Über Drain programmieren:
$+U_{PRG}$ wird angelegt

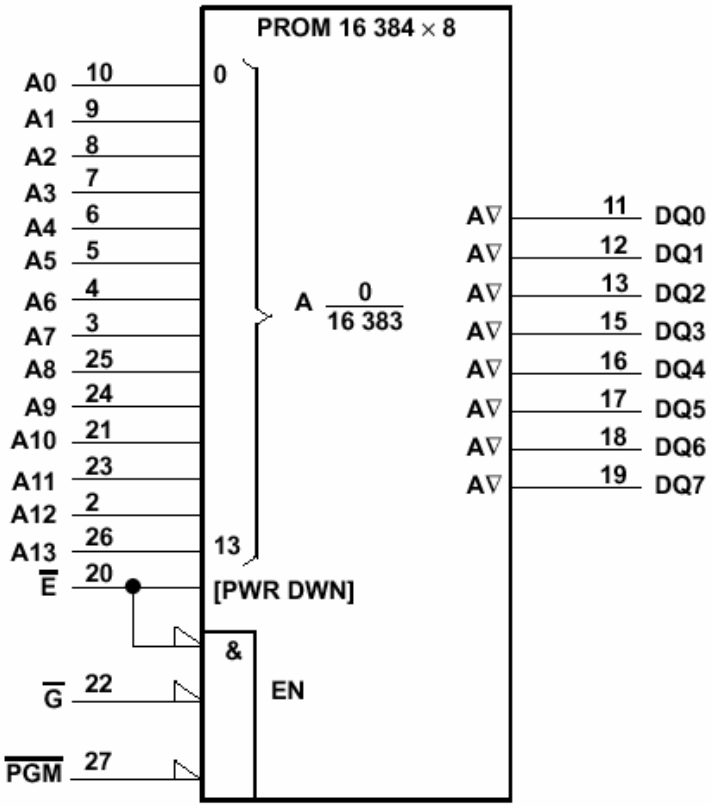
Über Drain löschen:
$-U_{LÖSCHEN}$ wird angelegt

Floating Gate Transistoren
Speicherarray

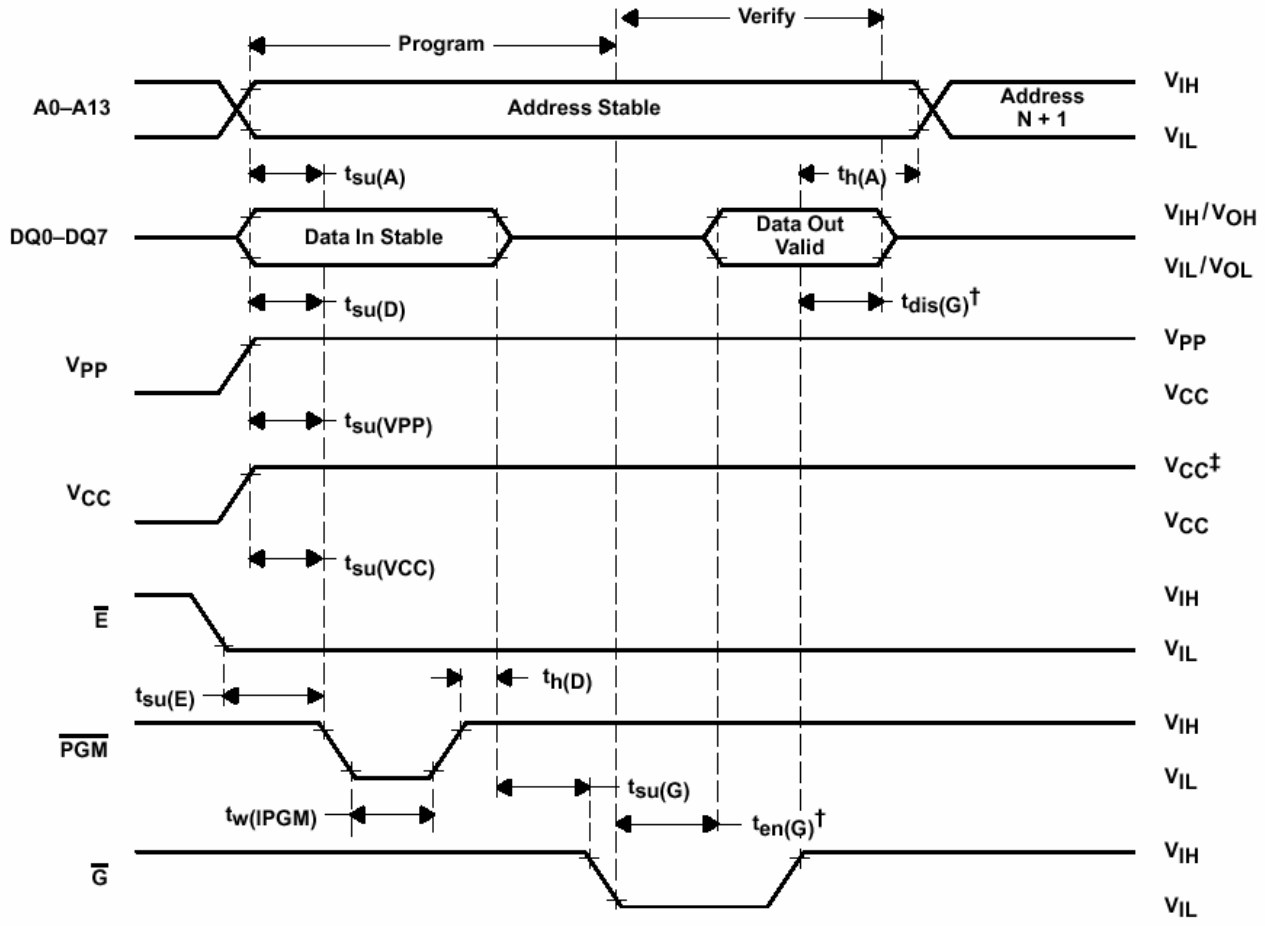


16K x 8 Bit EPROM TMS27C128

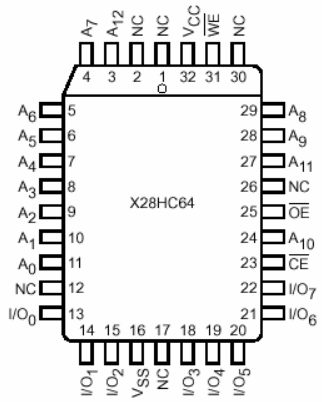




Programmierung EPROM

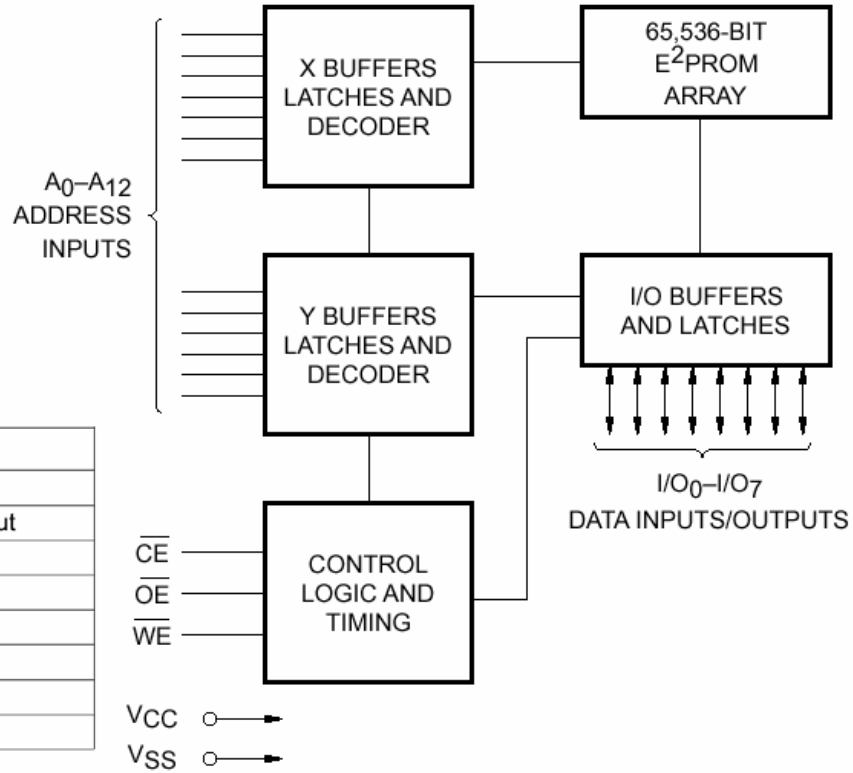


8Kx8Bit EEPROM C28HC64

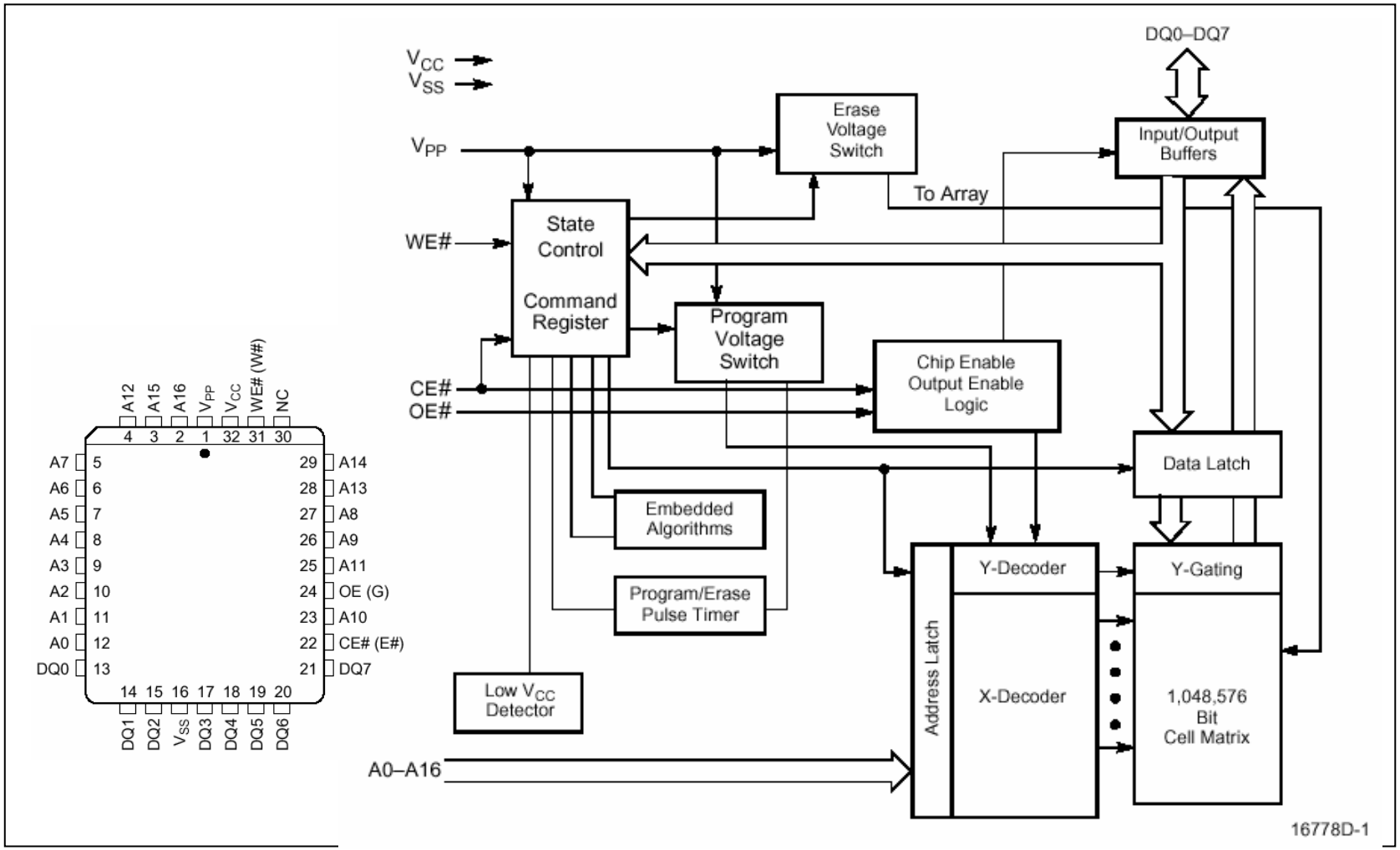


PIN NAMES

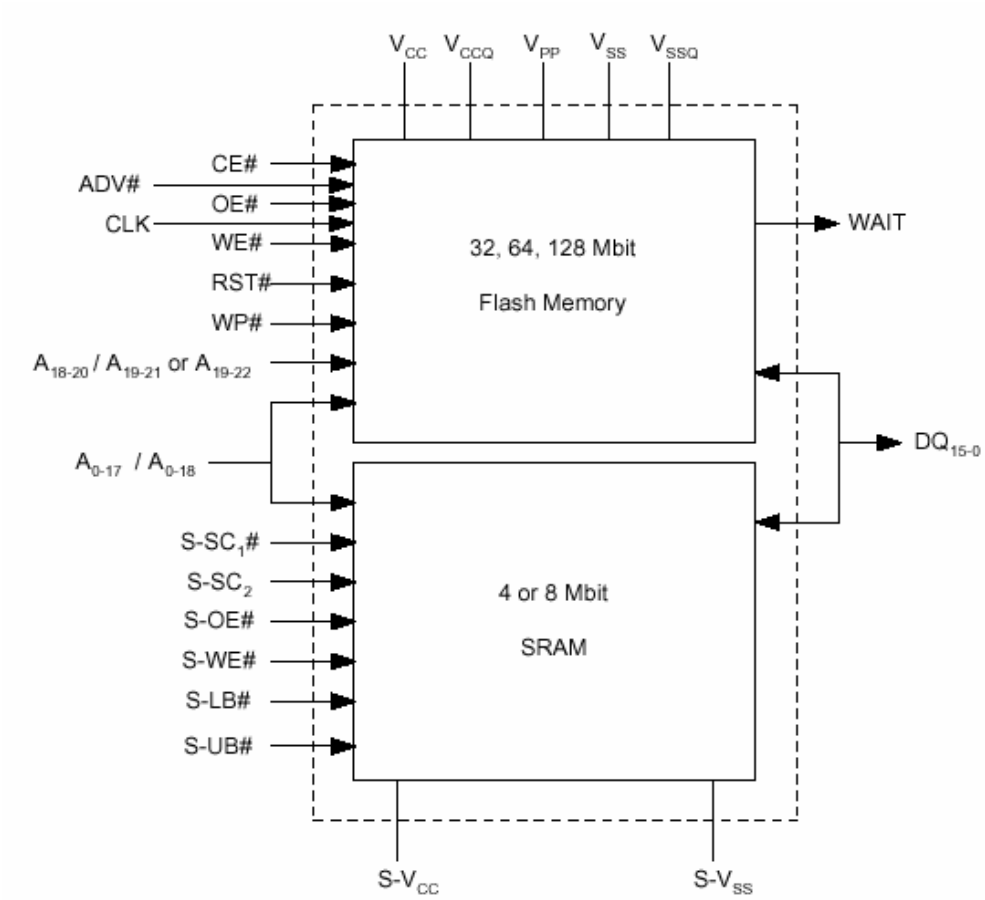
Symbol	Description
A_0–A_{12}	Address Inputs
I/O_0–I/O_7	Data Input/Output
$\overline{WE}$	Write Enable
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
V_{CC}	+5V
V_{SS}	Ground
NC	No Connect



128Kx8Bit Flash AM29F010A



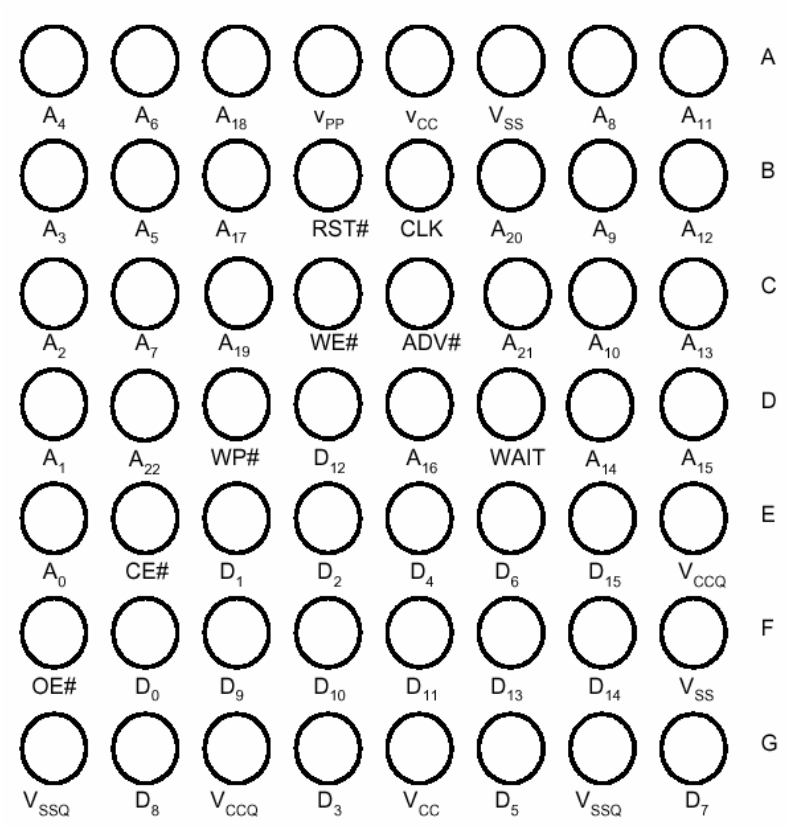
1,8V Flash and SRAM 28F3208W30



1,8V Flash and SRAM 28F3208W30

	Mode	Note	RST#	CE#	OE#	WE#	ADV#	WAIT	S-CS$_1$#	S-CS$_2$	S-OE#	S-WE#	S-UB# S-LB#[7]	DQ [15:0]
FLASH	Read	1,2, 5	V_{IH}	V_{IL}	V_{IL}	V_{IH}	V_{IL}	Valid	SRAM must be in High-Z					D_{OUT}
	Output Disable	3	V_{IH}	V_{IL}	V_{IH}	V_{IH}	X	High-Z	Any Valid SRAM Mode					High-Z
	Standby	3	V_{IH}	V_{IH}	X	X	X	High-Z						High-Z
	Reset	3	V_{IL}	X	X	X	X	High-Z						High-Z
	Write	4, 5	V_{IH}	V_{IL}	V_{IH}	V_{IL}	V_{IL}	High-Z	SRAM must be in High Z					D_{IN}
SRAM	Read	5	Flash must be in High-Z					High-Z	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IL}	D_{OUT}
	Output Disable	3	Any Valid FLASH Mode						V_{IL}	V_{IH}	V_{IH}	V_{IH}	X	High-Z
	Standby and Data Retention	3, 6							V_{IH}	X	X	X	X	High-Z
									X	V_{IL}	X	X	X	High-Z
	Write	5	Flash must be in High-Z					High-Z	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{IL}	D_{IN}

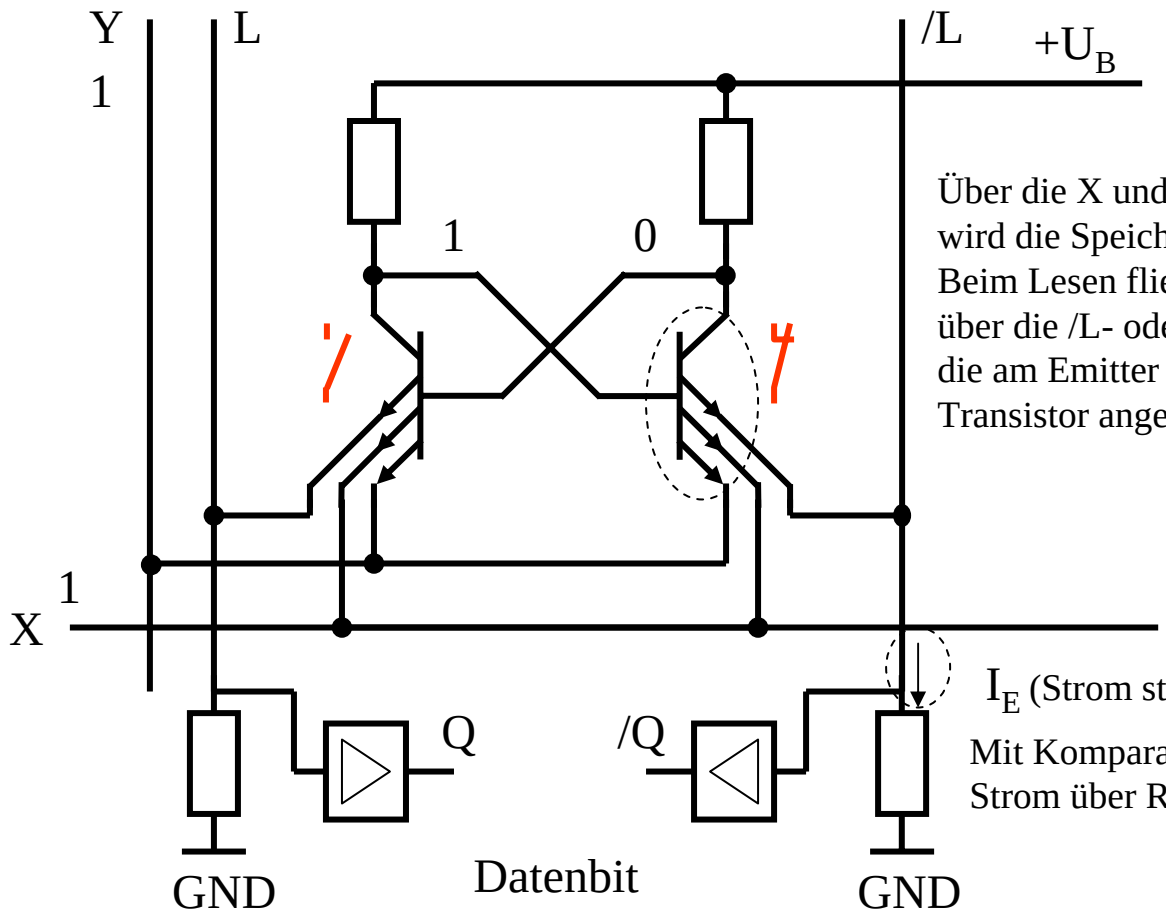
1,8V Flash and SRAM 28F3208W30



BGA-Gehäuse

Auf 7x9 mm Fläche
128MBit Flash
und
8MBit SRAM

SRAM Zelle
in Bipolartechnik Lesen

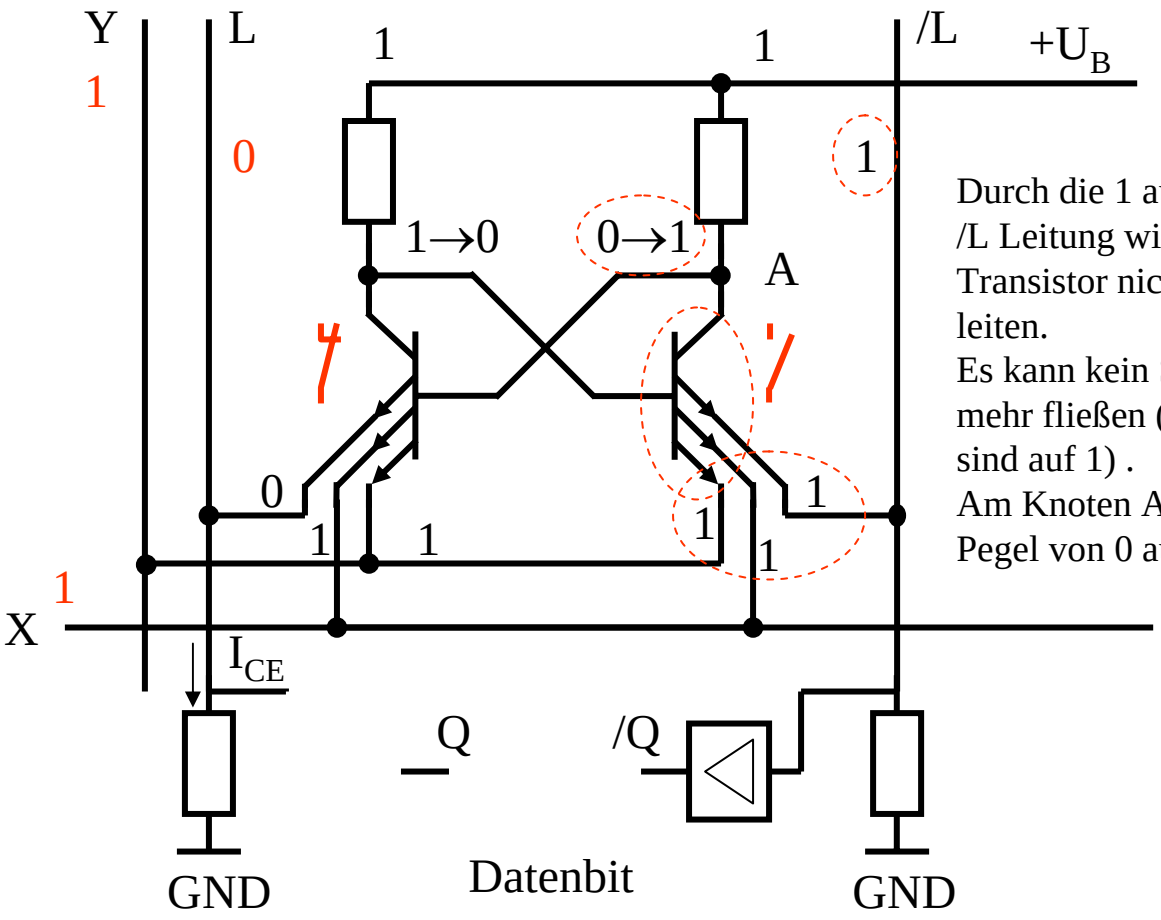


Über die X und die Y Leitung wird die Speicherzelle aktiviert. Beim Lesen fließt Strom über die /L- oder L-Leitung, die am Emitter des leitenden Transistor angeschlossen ist.

I_E (Strom steht für 1)

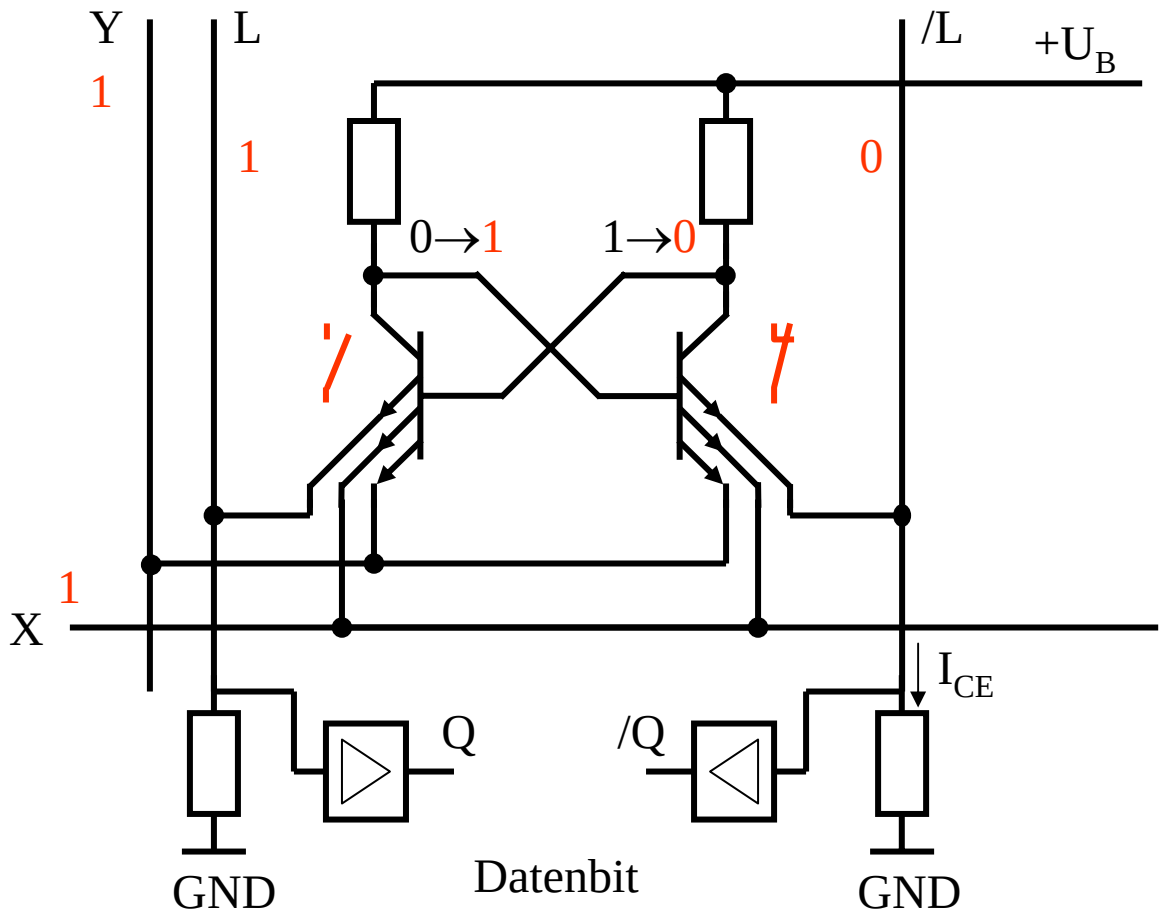
Mit Komparatoren wird der Strom über R gemessen.

SRAM Zelle
in Bipolartechnik 1 - Schreiben

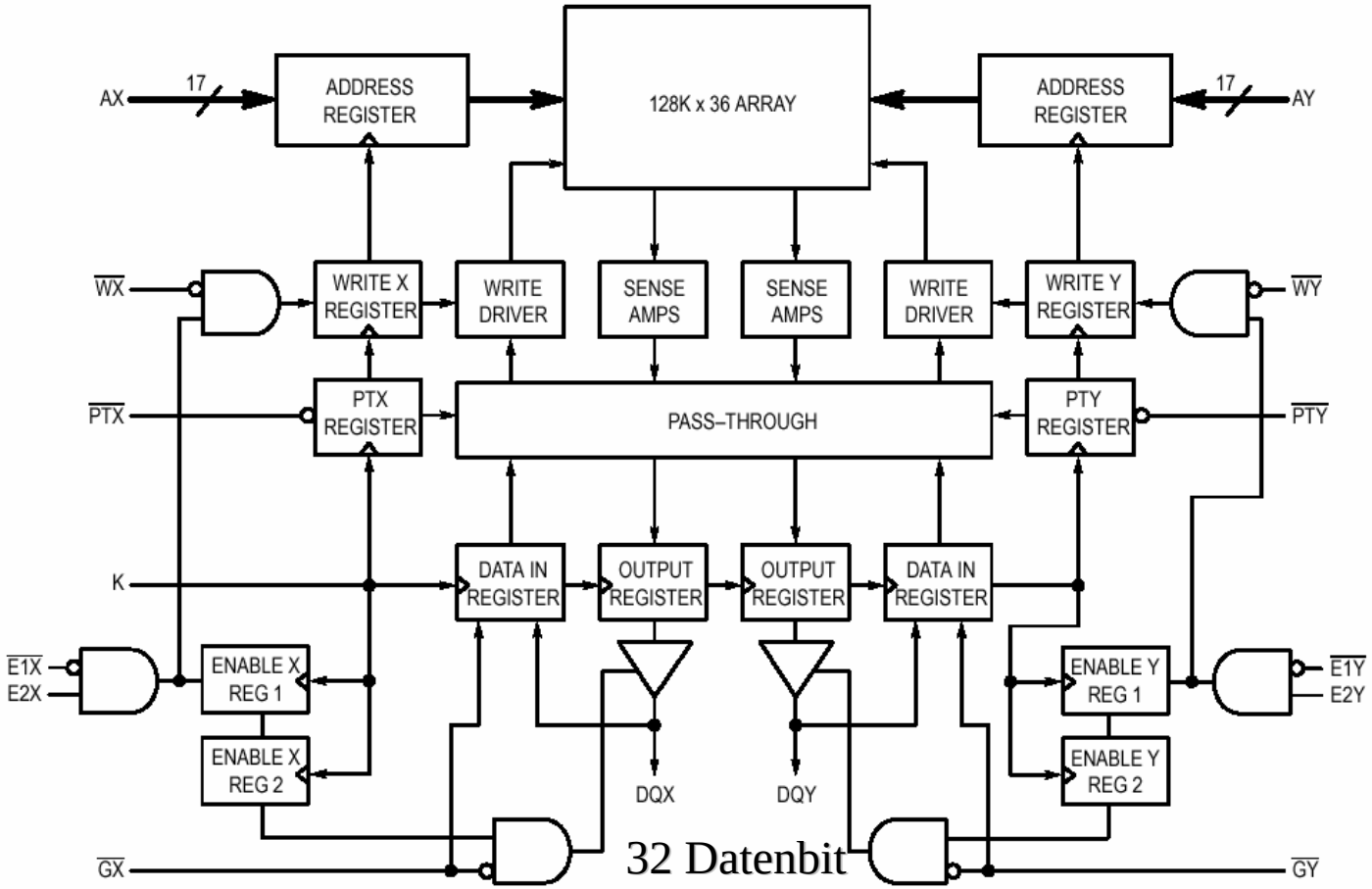


Durch die 1 auf der /L Leitung wird der Transistor nicht mehr leiten.
Es kann kein Strom I_{CE} mehr fließen (alle Emitter sind auf 1) .
Am Knoten A wird der Pegel von 0 auf 1 wechseln.

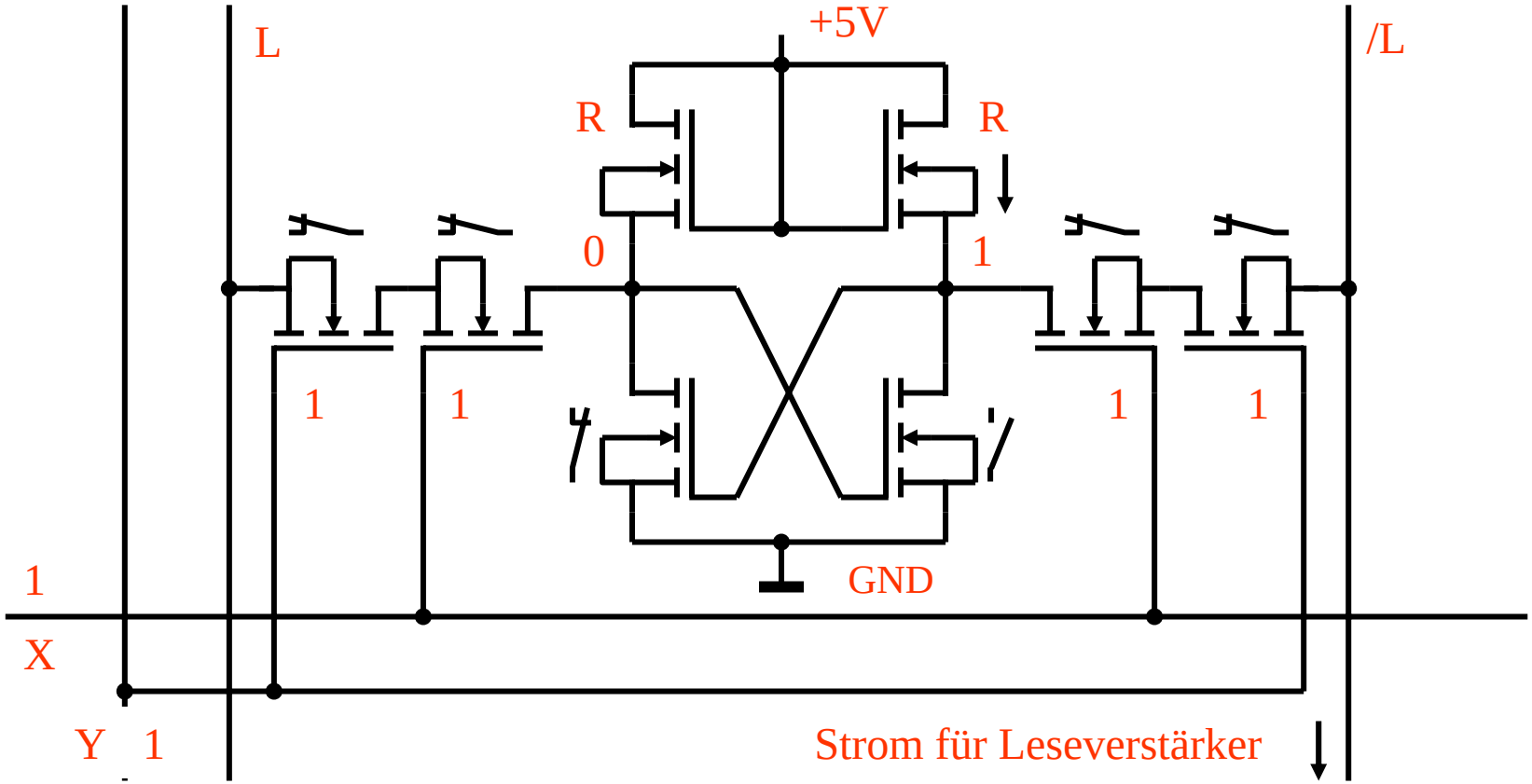
SRAM Zelle
in Bipolartechnik 0 - Schreiben



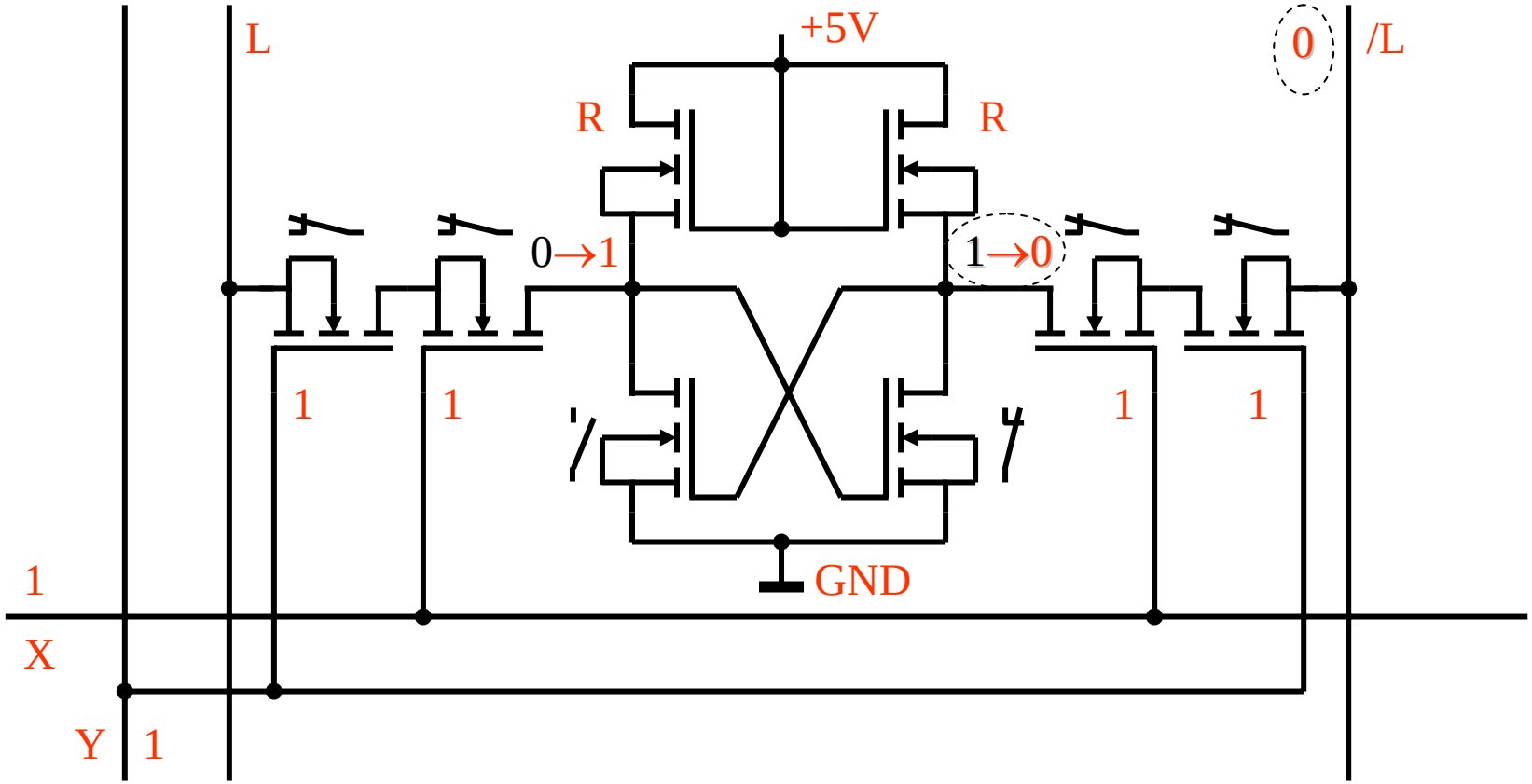
MCM63D736 128Kx32 SRAM



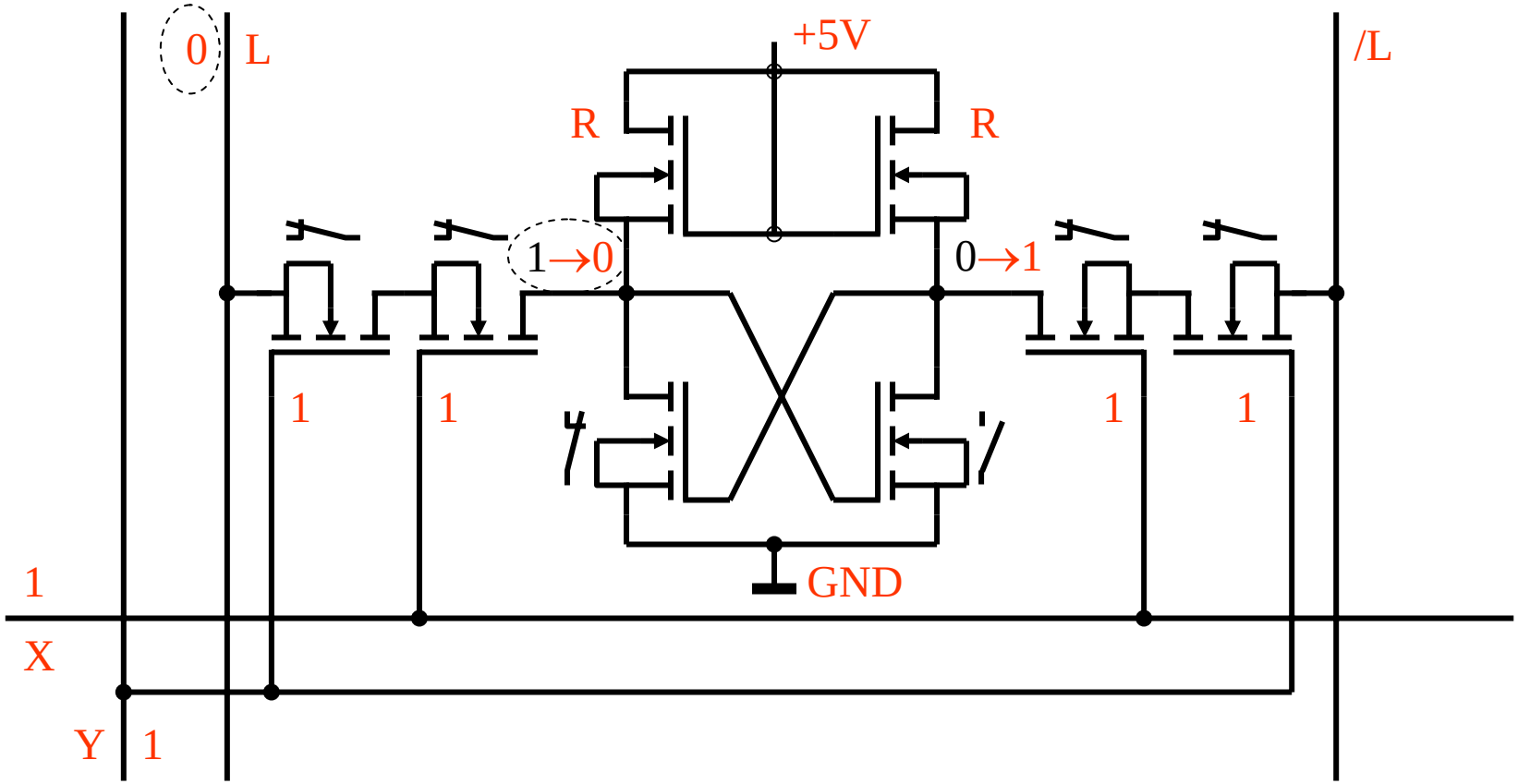
SRAM Zelle
in NMOS-Technik Lesen der Speicherzelle



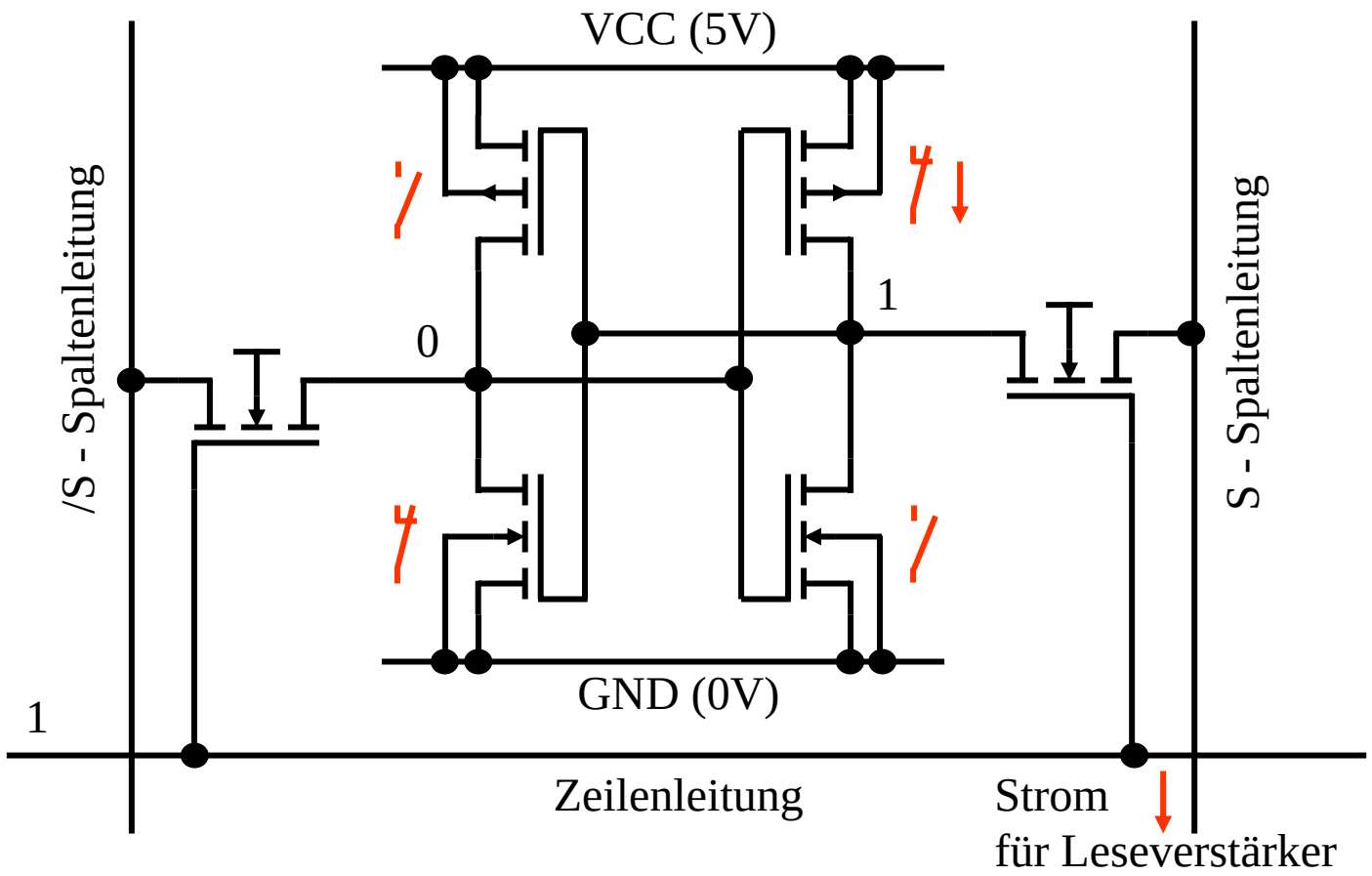
SRAM Zelle
in NMOS-Technik Speichern einer 1



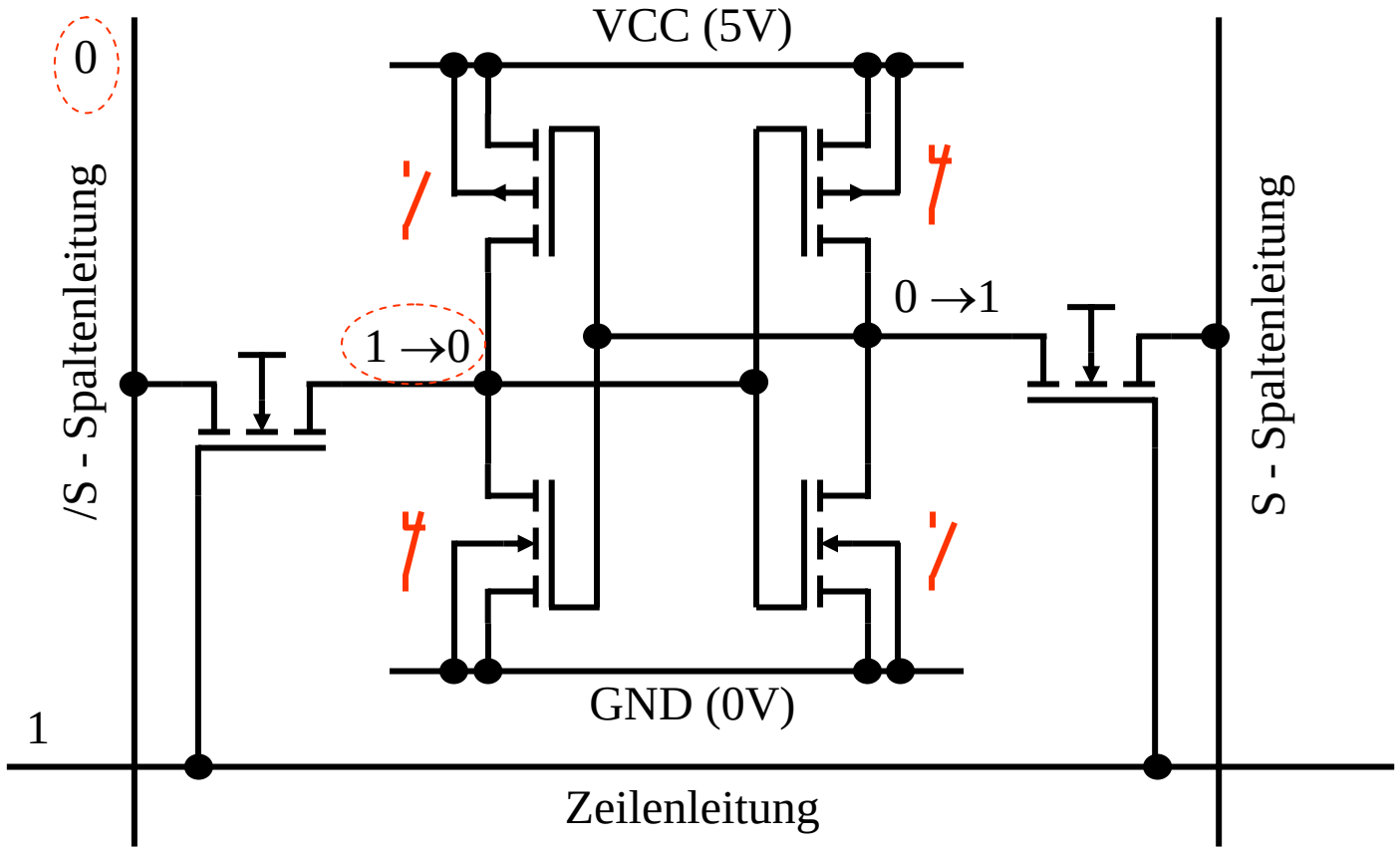
SRAM Zelle
in NMOS-Technik Speichern einer 0



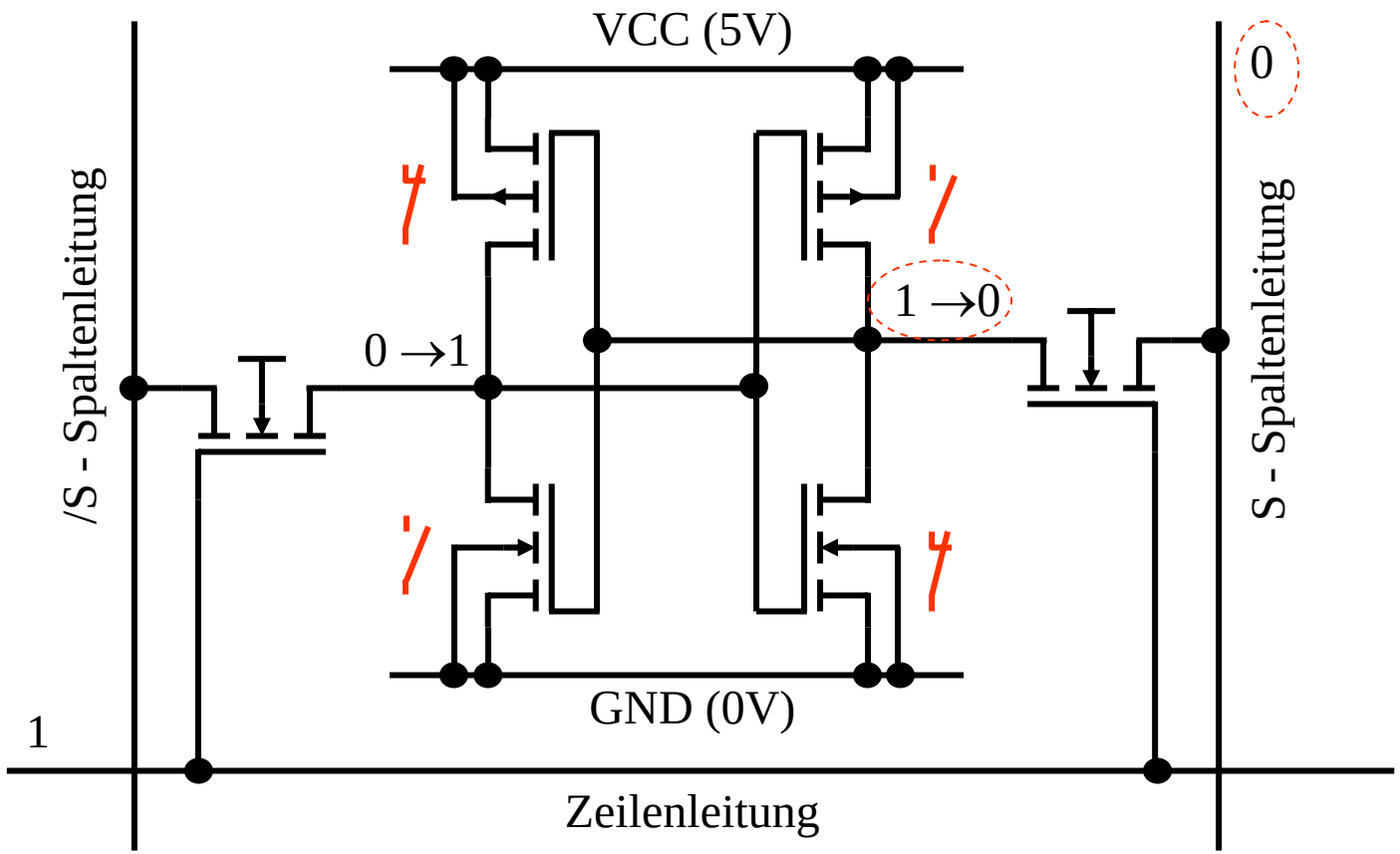
SRAM
in CMOS Lesen einer 1



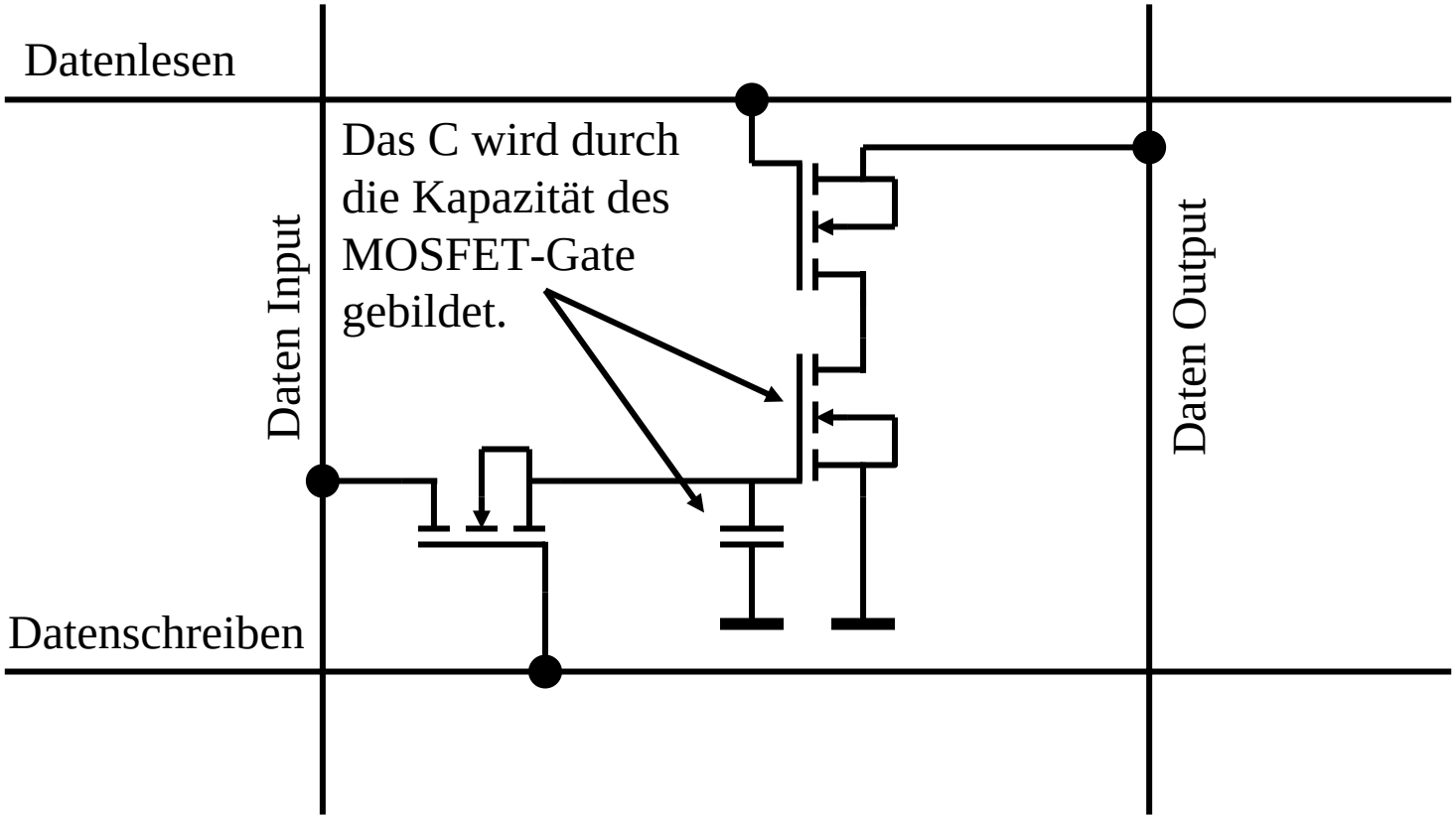
SRAM
in CMOS Speichern einer 1



SRAM
in CMOS Speichern einer 0

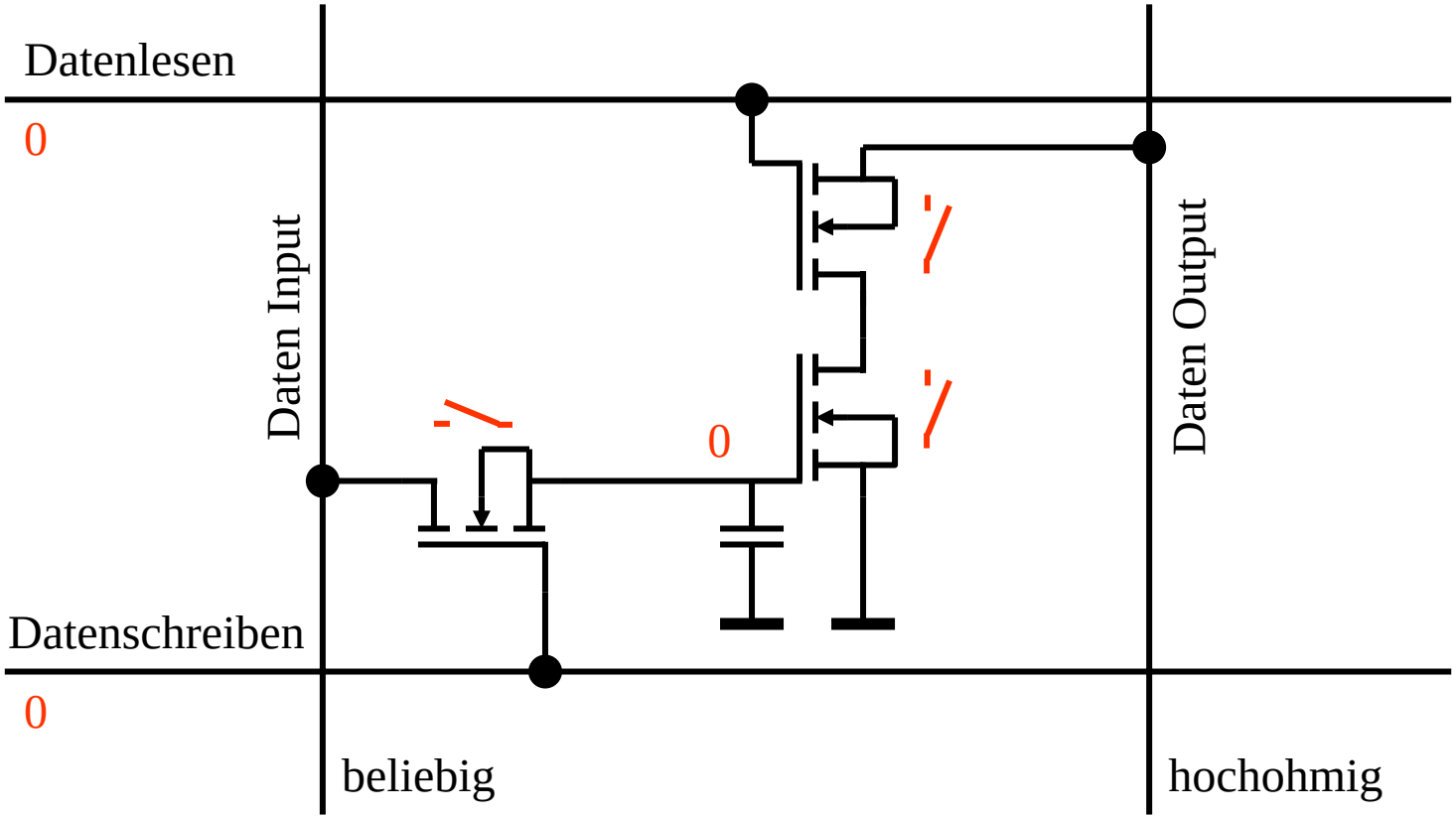


DRAM Zelle
in NMOS

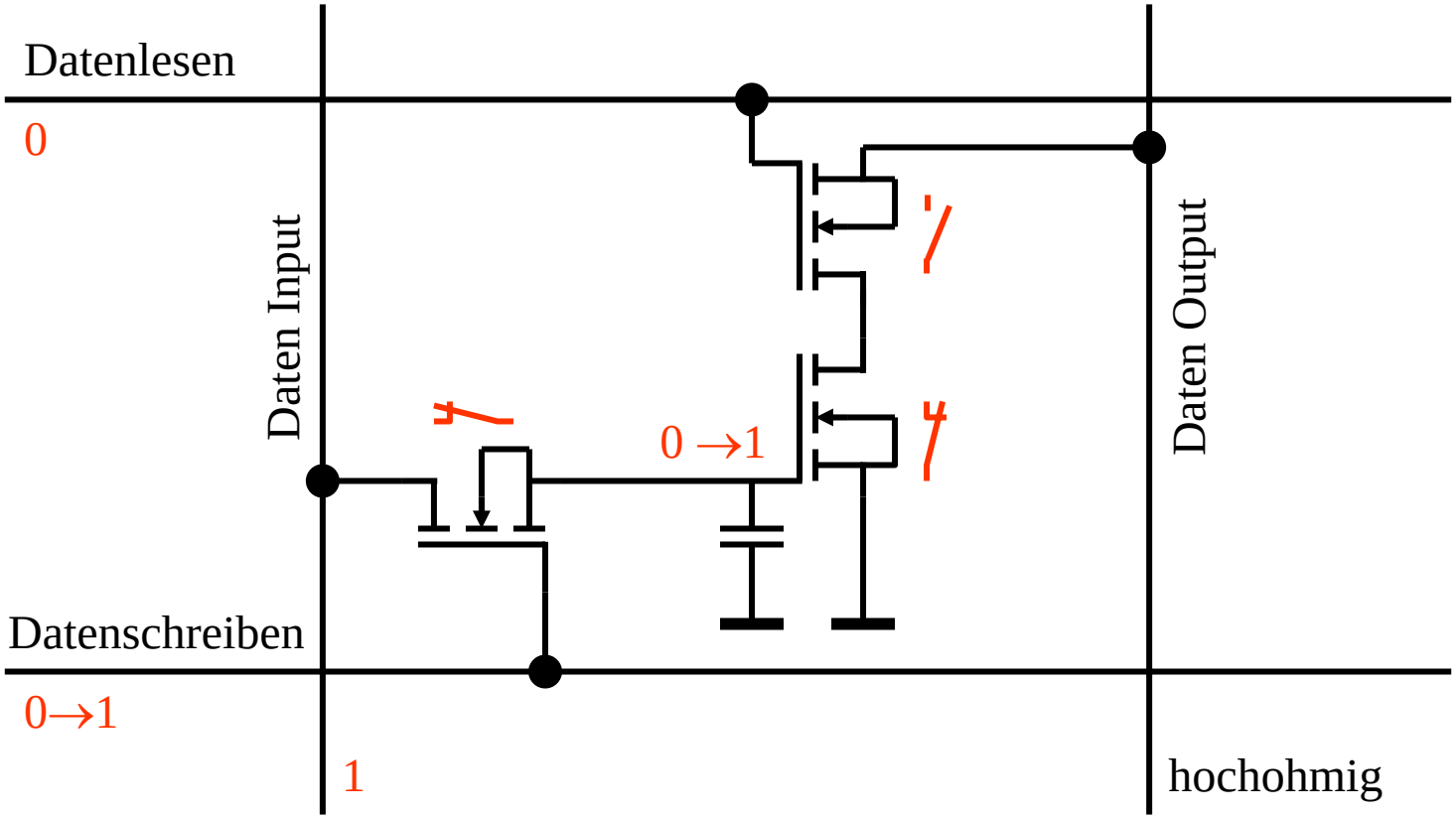


DRAM Zelle

in NMOS nicht aktivierte Zelle mit gespeicherter 0

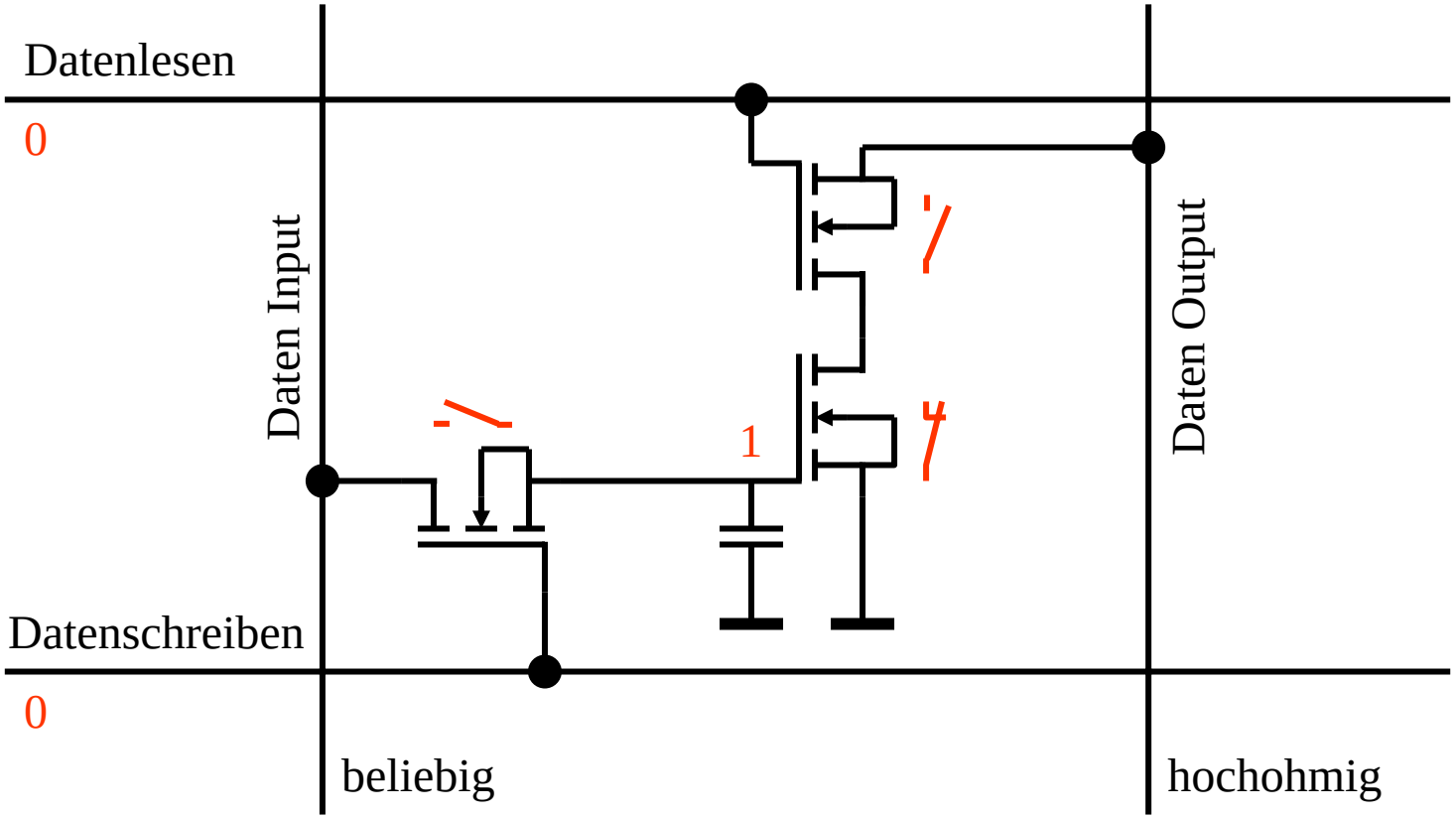


DRAM Zelle
in NMOS Speichern einer 1

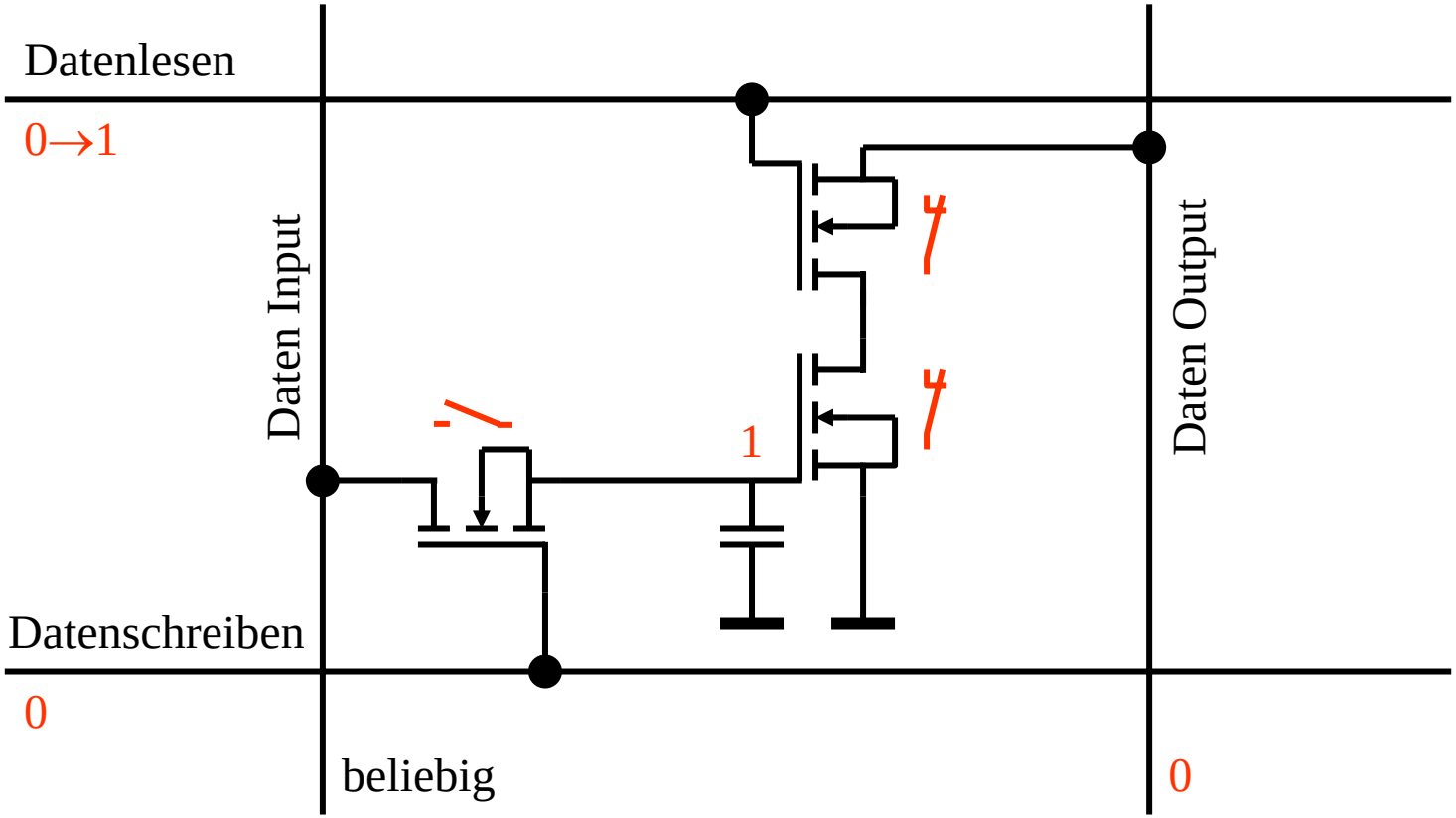


DRAM Zelle

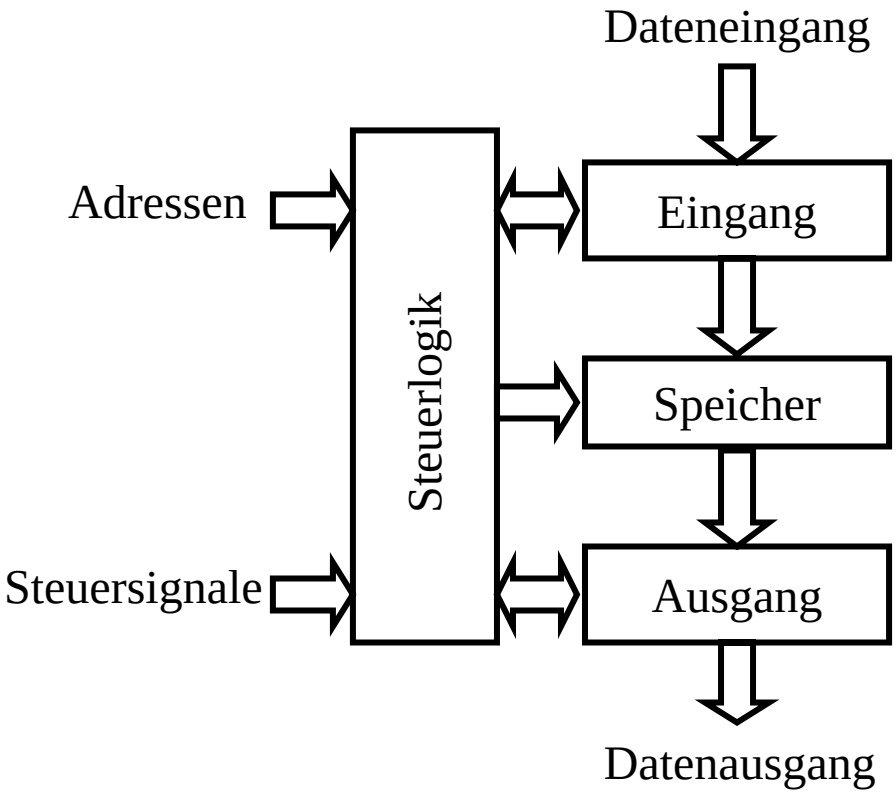
in NMOS nichtaktive Zelle mit gespeicherter 1



DRAM Zelle
in NMOS Lesen der gespeicherten 1

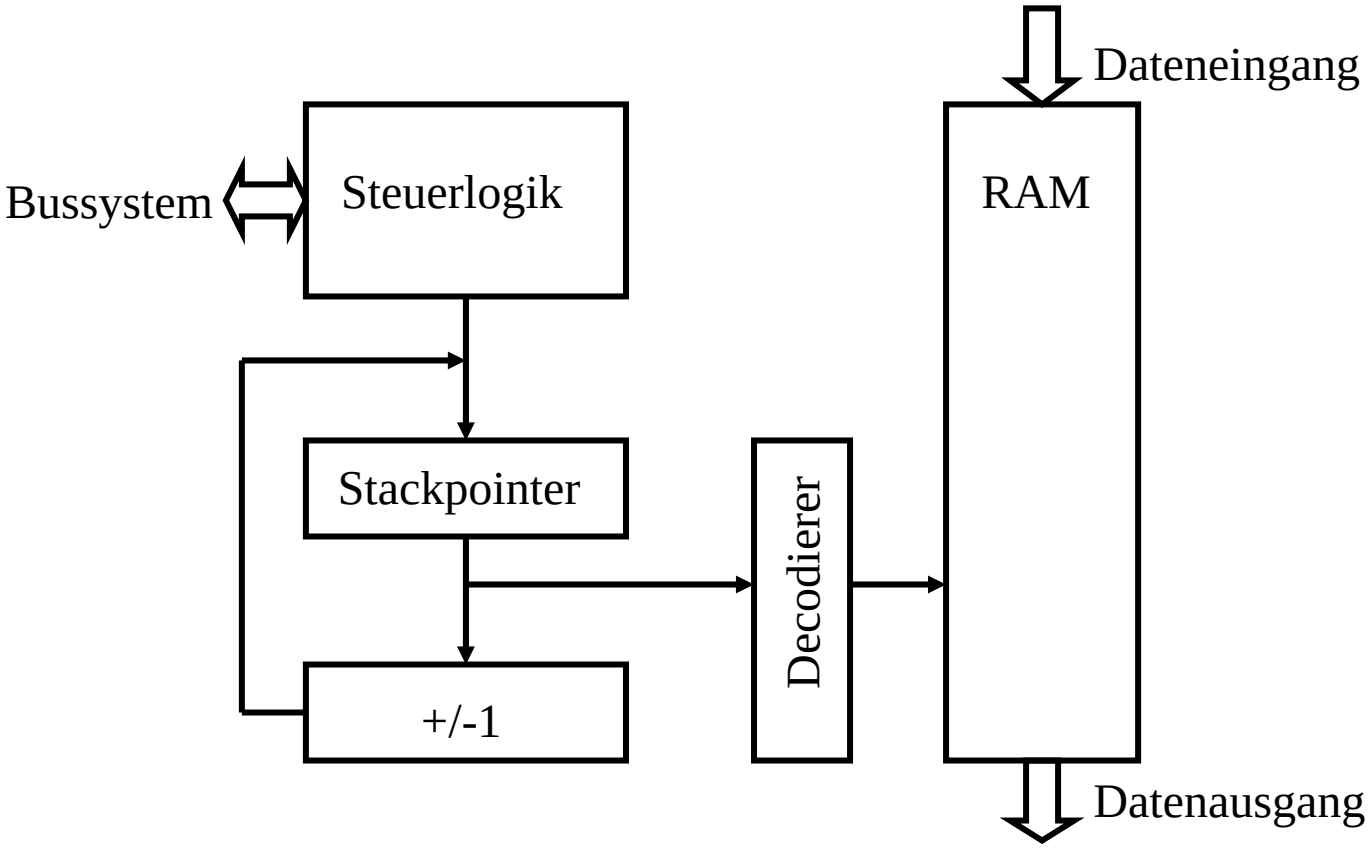


Spezielle Speicher

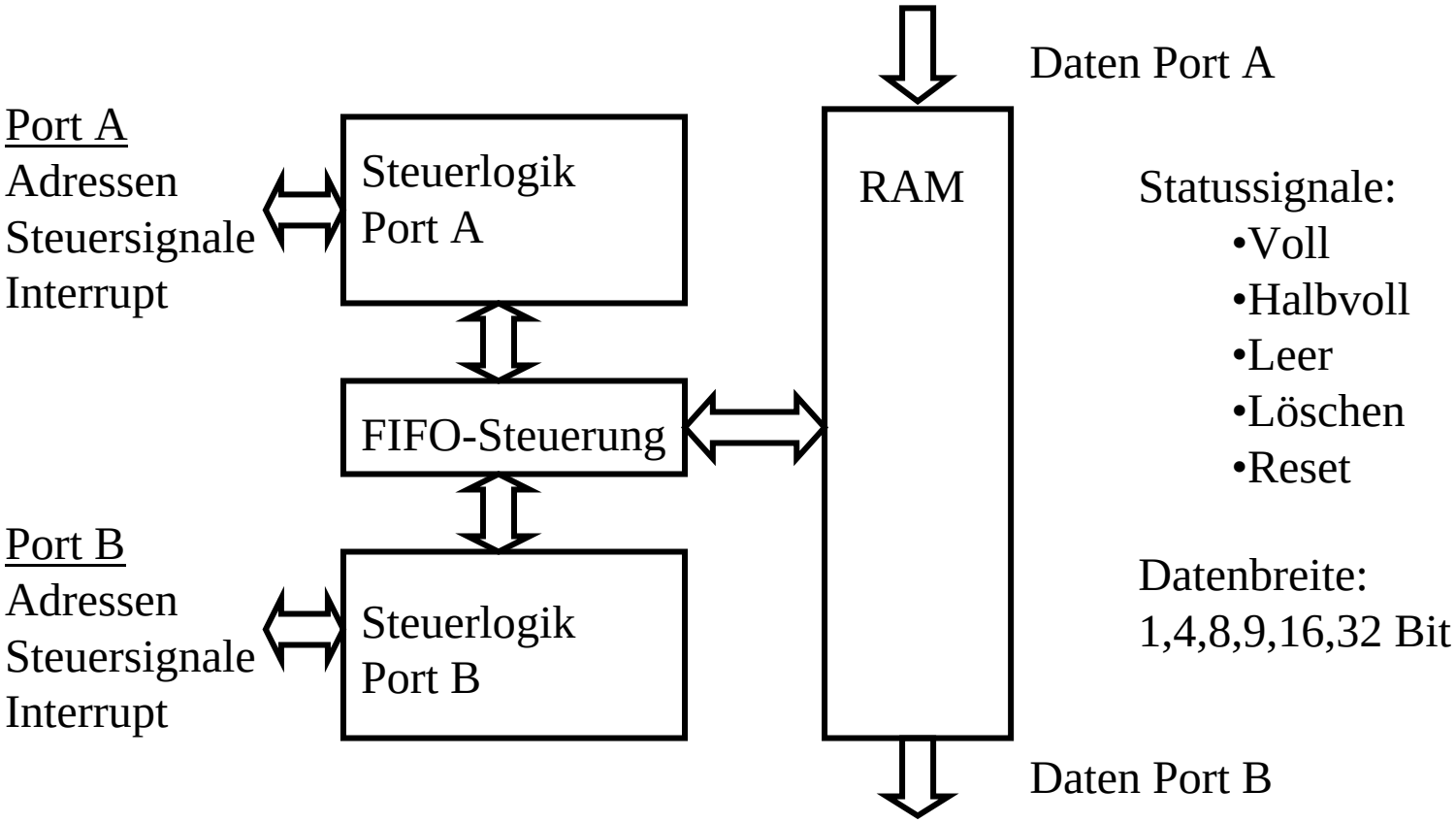


- LIFO
- FIFO
- Bidirektionale FIFO
- FIFO mit Mailbox
- Dual-Port-RAM
- X-Port-RAM

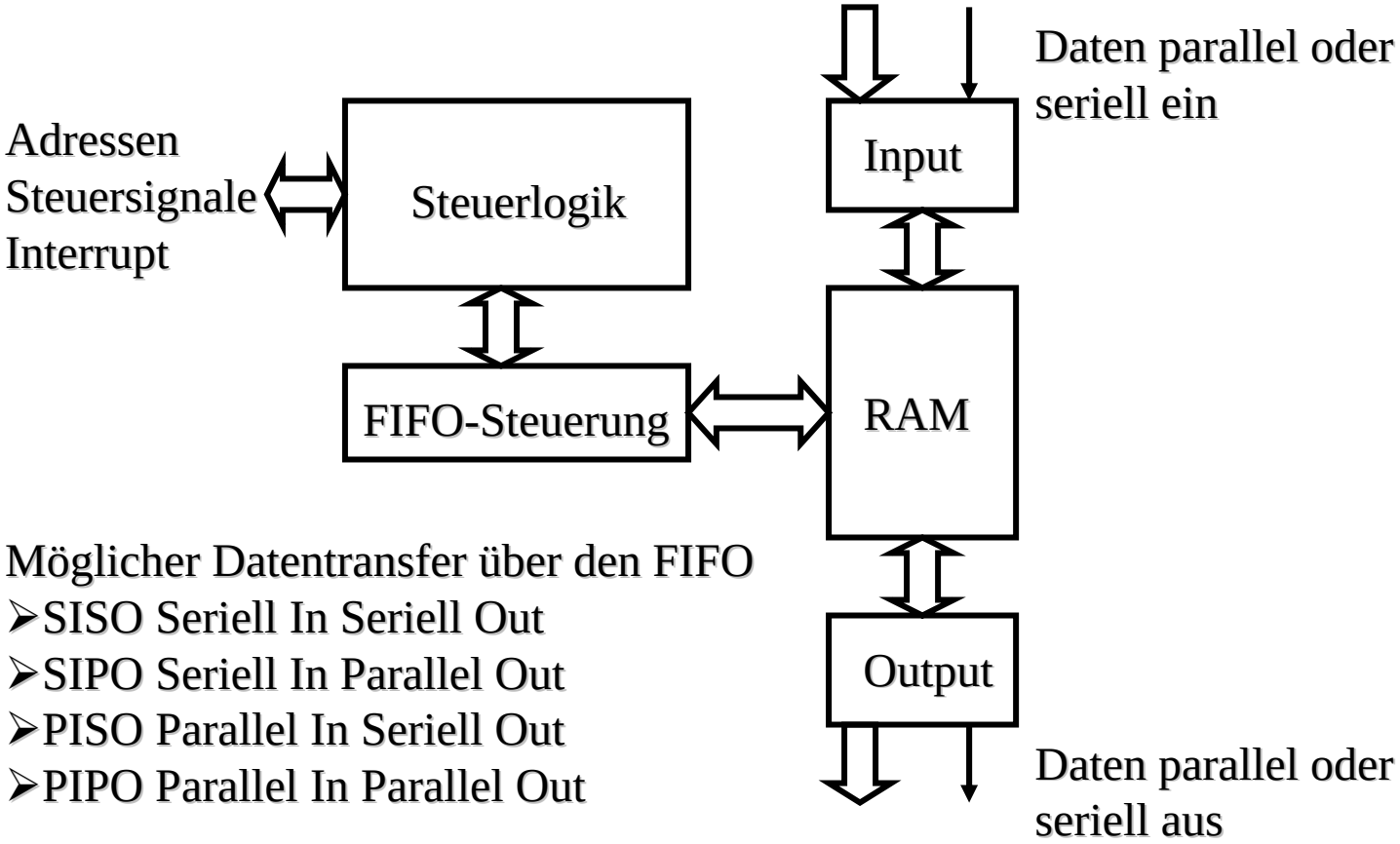
LIFO Speicher



FIFO - Speicher



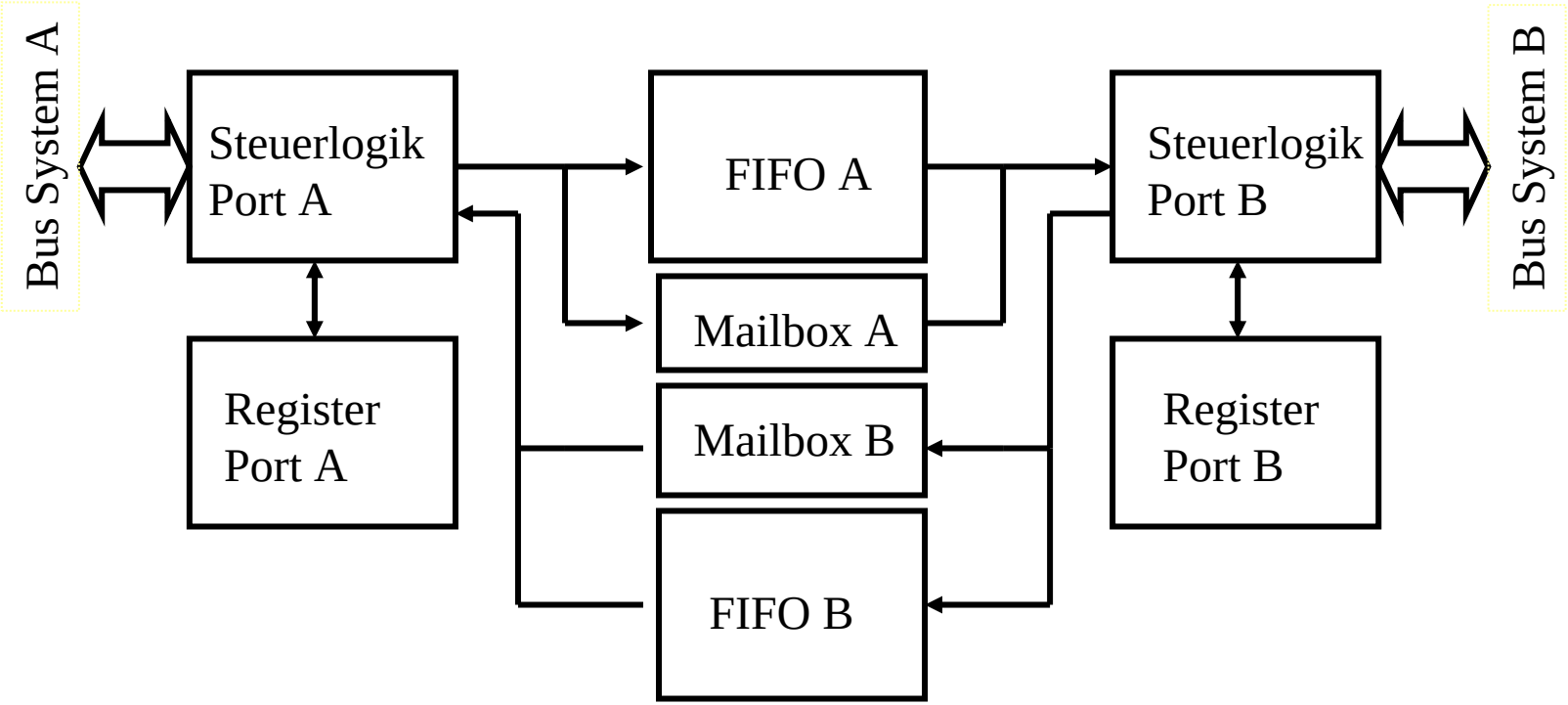
FIFO
mit SISO, SIPO, PISO, PIPO



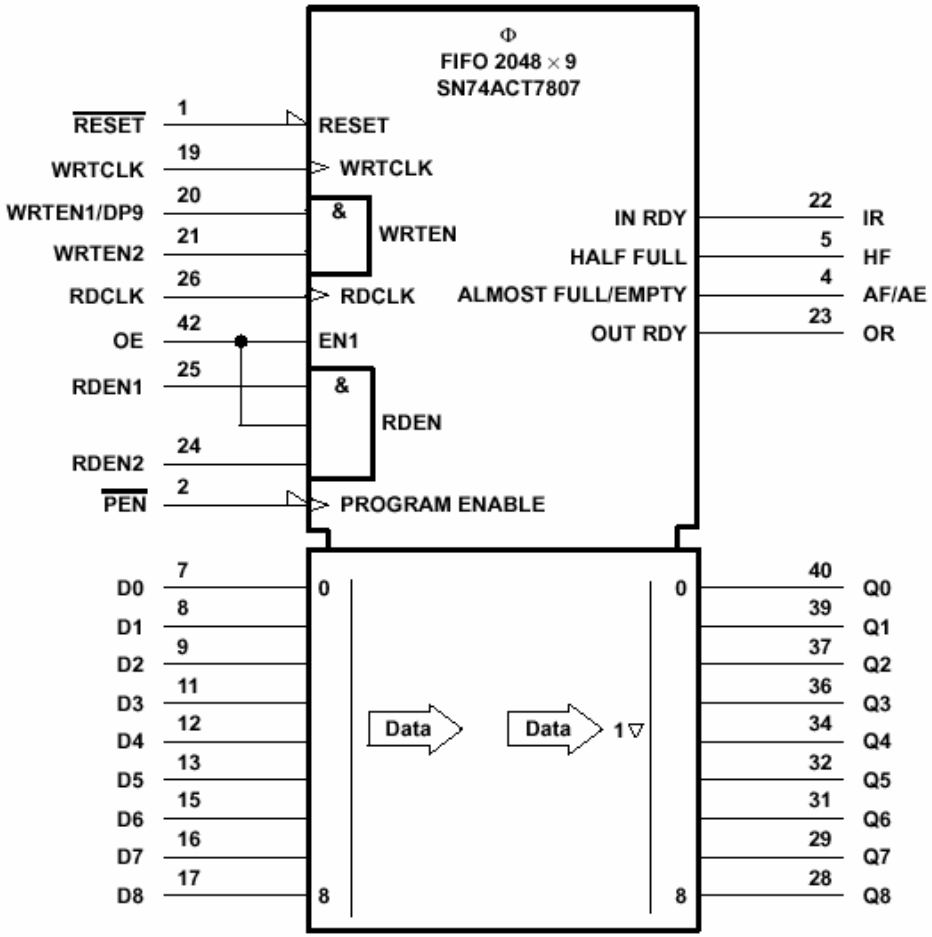
Möglicher Datentransfer über den FIFO

- SISO Seriell In Seriell Out
- SIPO Seriell In Parallel Out
- PISO Parallel In Seriell Out
- PIPO Parallel In Parallel Out

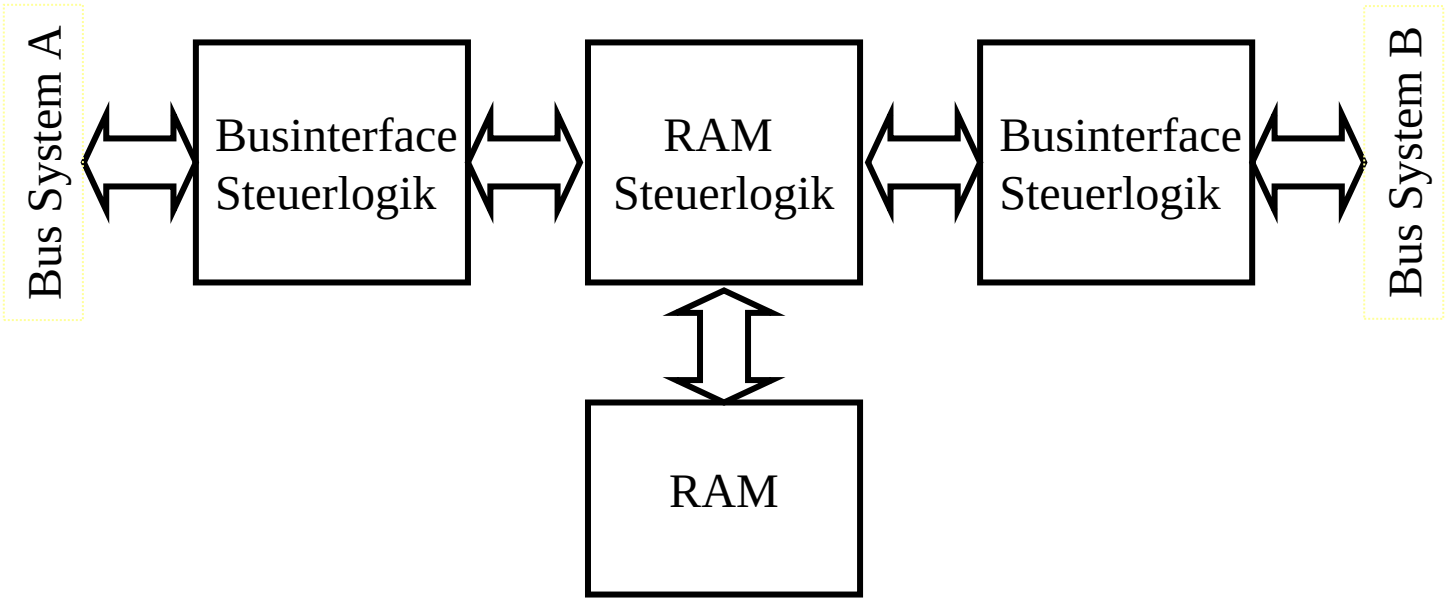
FIFO
Bidirektional mit Mailbox



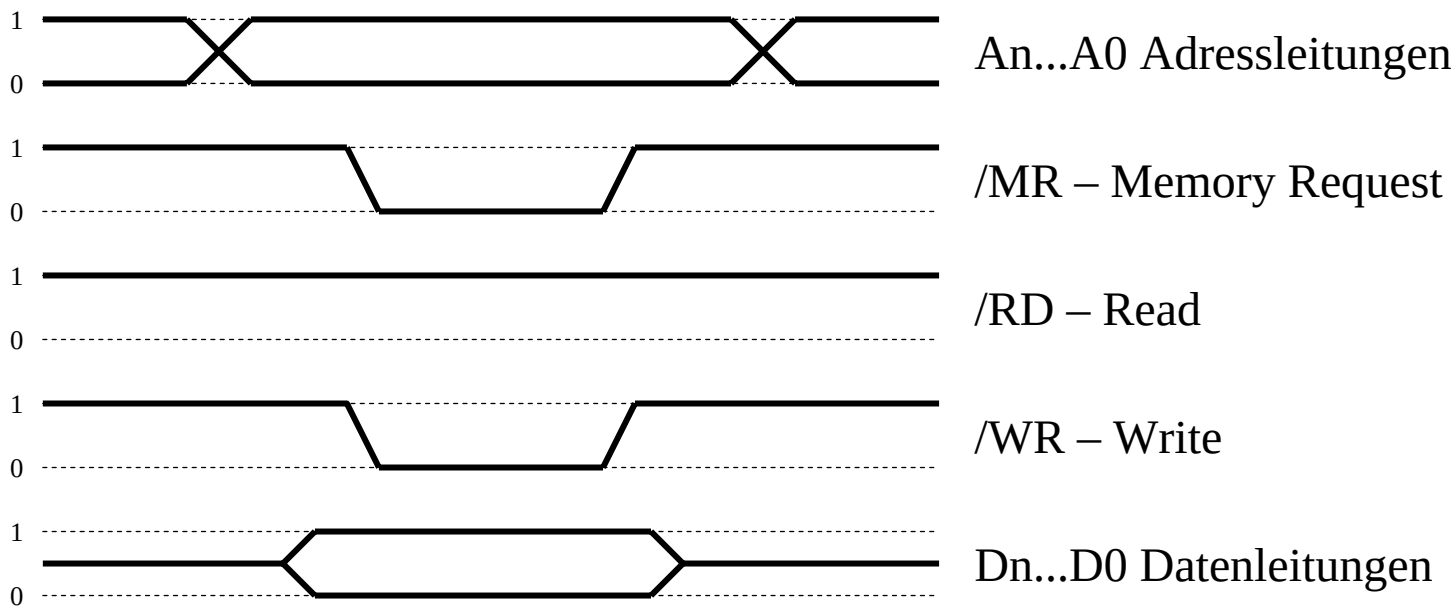
Organisation FIFO



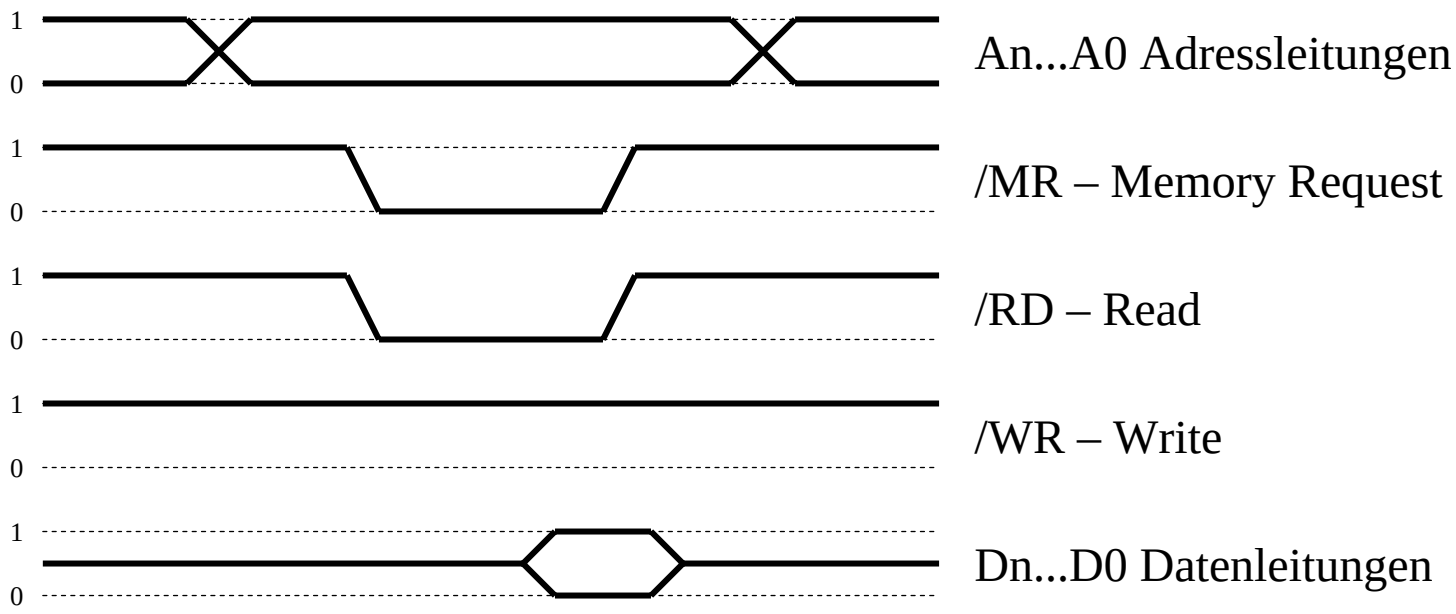
Dual-Port RAM



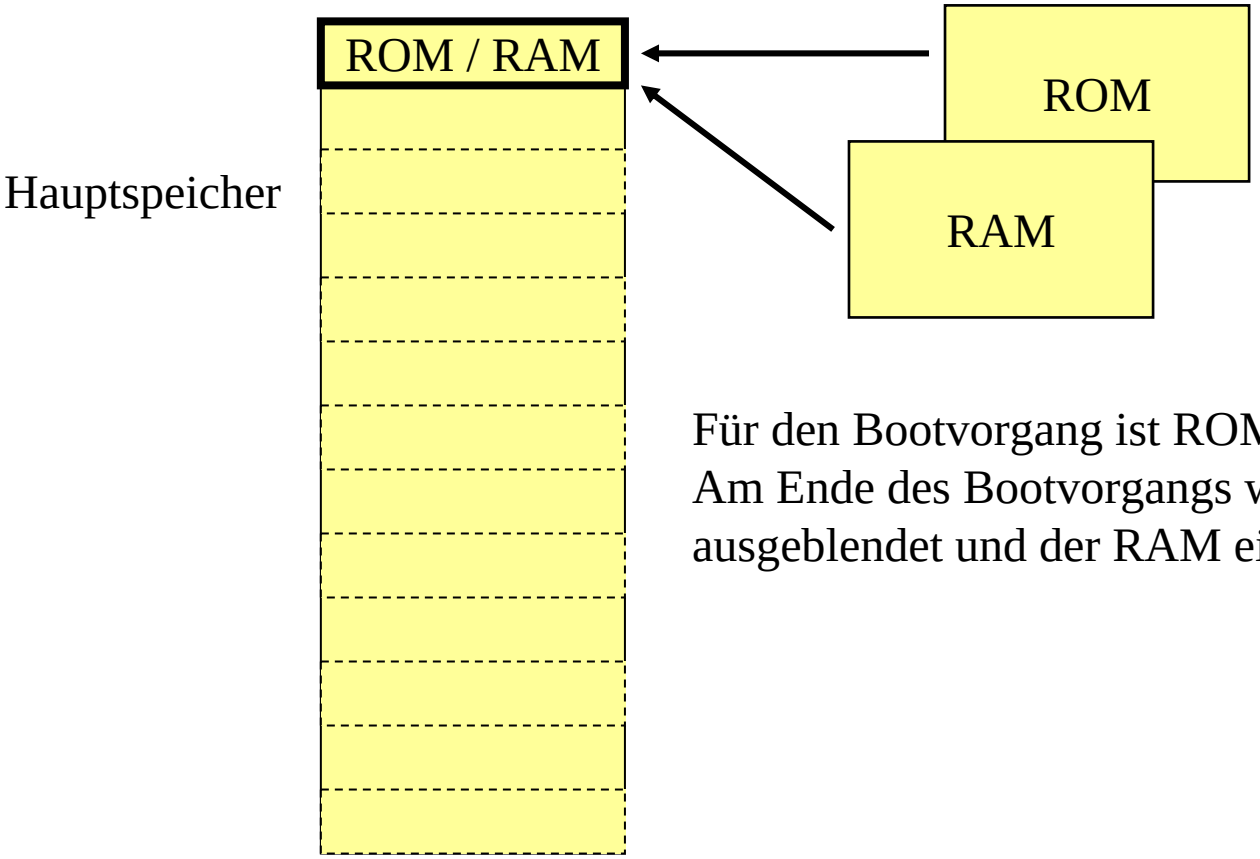
Bussystem - Datenschreiben



Bussystem - Datenlesen

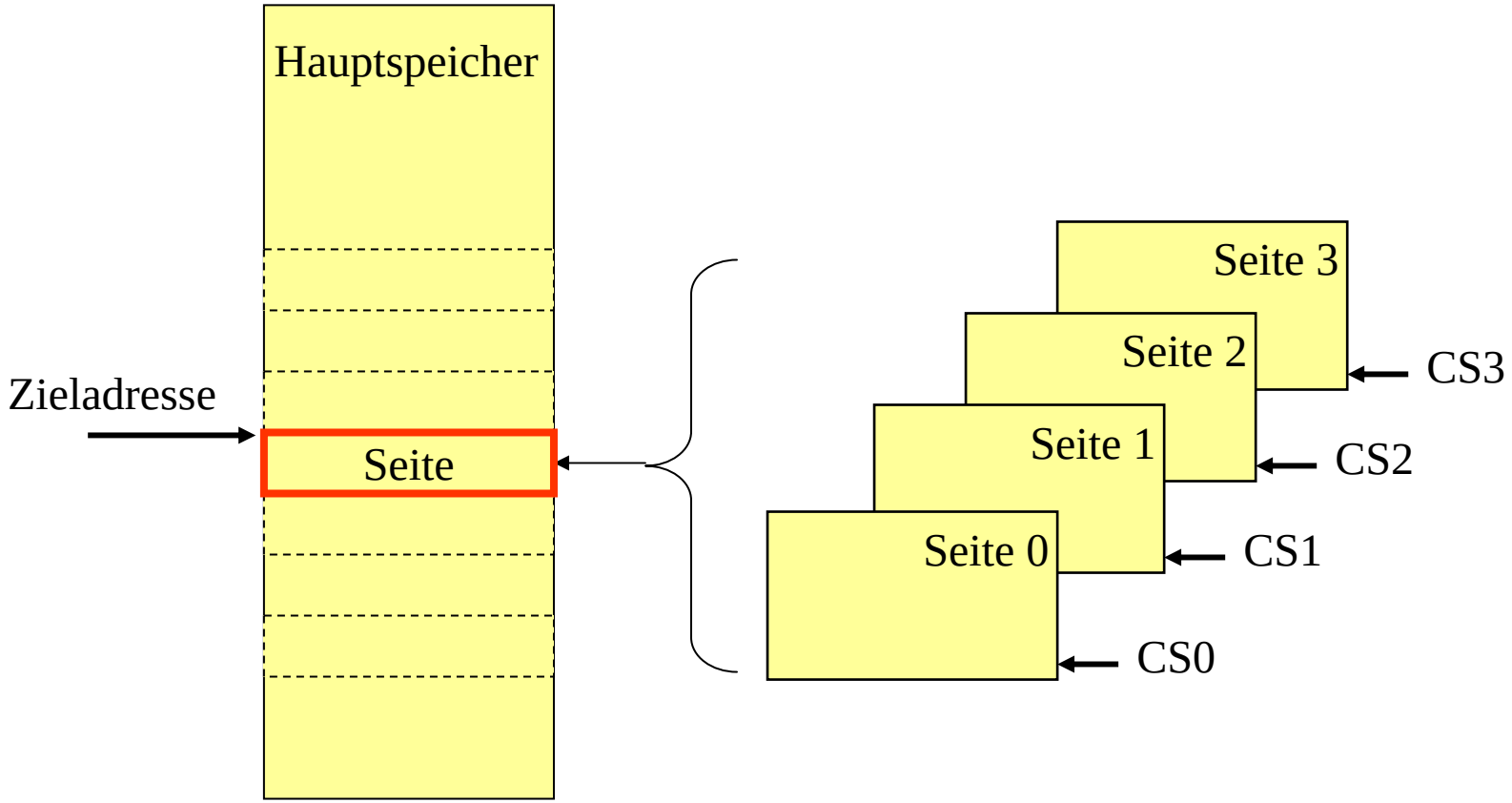


Wechsel der Speicherart

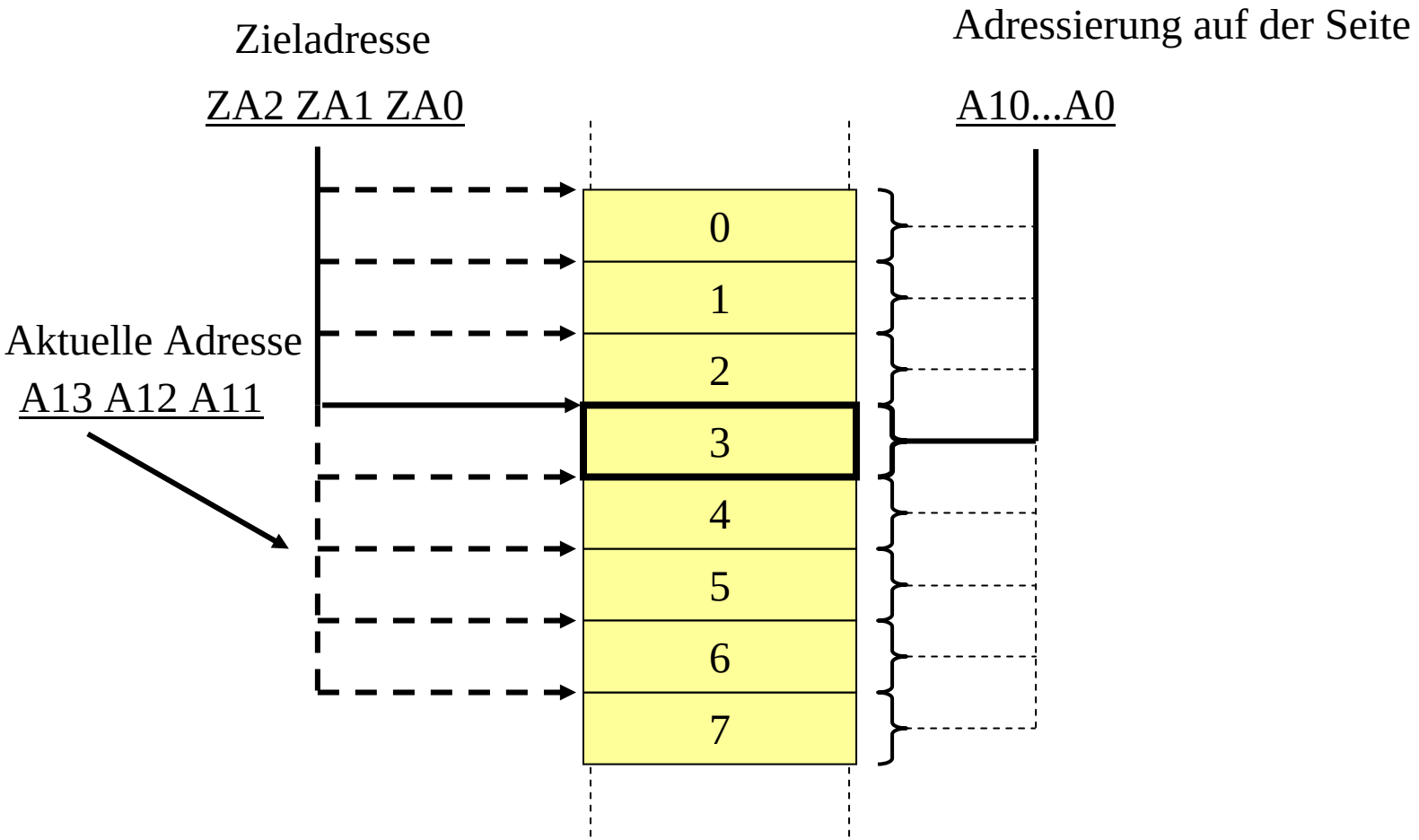


Für den Bootvorgang ist ROM aktiv.
Am Ende des Bootvorgangs wird der ROM ausgeblendet und der RAM eingeblendet.

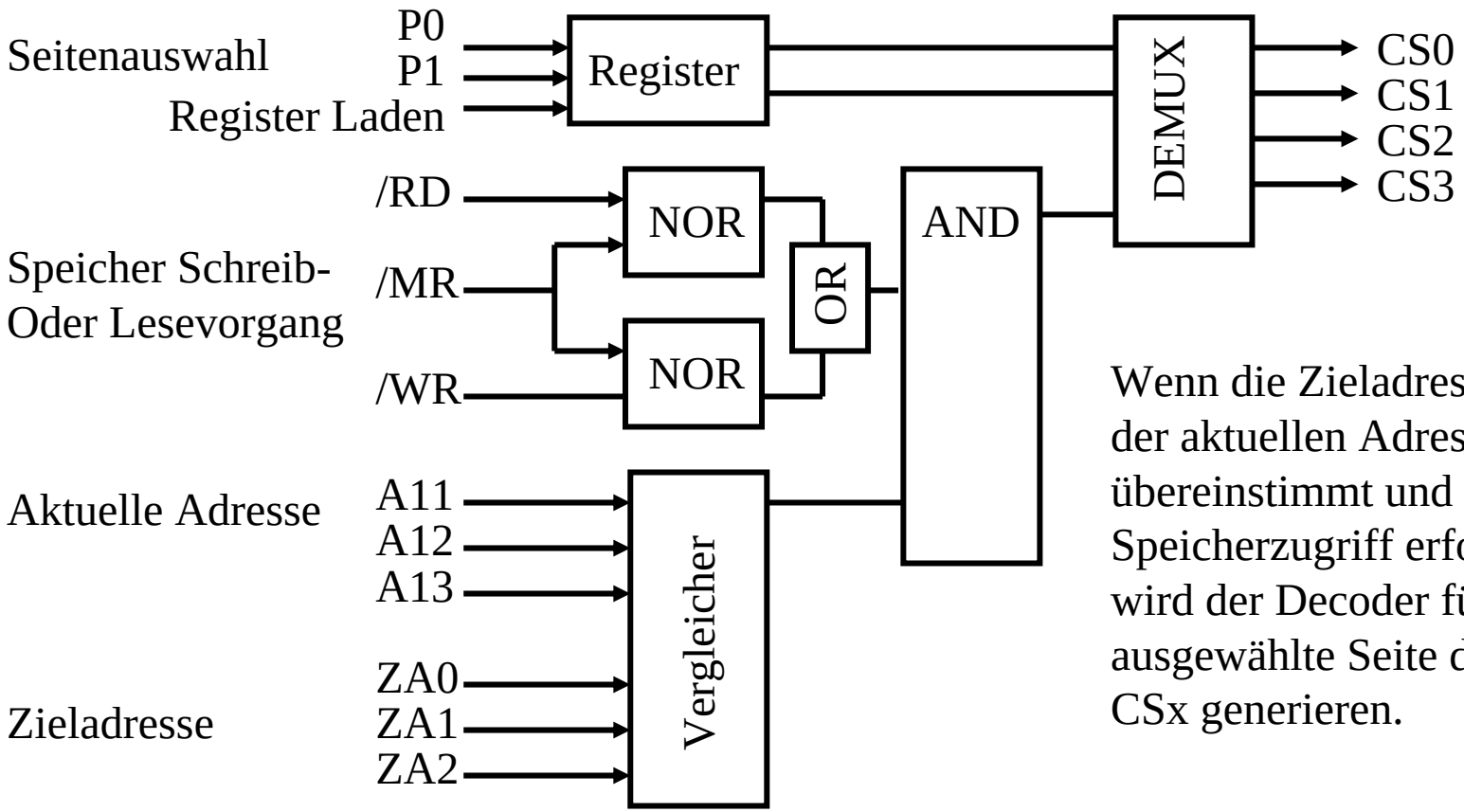
Seiteneinblendung im Speicher



Seitenadressierung im Speicher



Chipselect Generierung



Wenn die Zieladresse mit der aktuellen Adresse übereinstimmt und ein Speicherzugriff erfolgt, wird der Decoder für die ausgewählte Seite das CSx generieren.

Chipselect Generierung

Speicherzugriff erfolgt bei RD=0 und MR=0 oder WR=0 und MR=0

$$M = \overline{RD} \cdot \overline{MR} + \overline{WR} \cdot \overline{MR}$$

Die Zieladresse wird aus dem Vergleich von ZA3...ZA0 (Zieladresse) im Speicherband und den aktuellen Adressbits A13..A11 gewonnen.

$$ZA = \left(ZA2 \cdot \overline{A13}\right) + \left(\overline{ZA2} \cdot A13\right) \cdot \left(ZA1 \cdot \overline{A12}\right) + \left(\overline{ZA1} \cdot A12\right) \cdot \left(ZA0 \cdot \overline{A11}\right) + \left(\overline{ZA0} \cdot A11\right)$$

Das Chipselect CS3..CS0 wird aus den Page Bits P1..P0, dem Speicherzugriff und den Zieladressen gewonnen.

$$CS0 = \overline{P1} \cdot \overline{P0} \cdot ZA \cdot M$$

$$CS1 = \overline{P1} \cdot P0 \cdot ZA \cdot M$$

$$CS2 = P1 \cdot \overline{P0} \cdot ZA \cdot M$$

$$CS3 = P1 \cdot P0 \cdot ZA \cdot M$$

Anwendungsbereites Wissen

- Speichertypen
- ROM
- Floating Gate Funktion
- EEPROM
- SRAM in Bipolar Technik
- SRAM in CMOS Technik
- SRAM in NMOS Technik
- DRAM in NMOS Technik
- Spezielle Speicher