Freie Universität Berlin

Kapitel 8:
Digitaltechnik 1

- Logikgrundbausteine
- Schaltalgebra, Rechenregeln, Theoreme
- Logikpegel
- Übertragungskennlinien
- Statischer und dynamischer Störabstand
- Signalzeitverlauf, Signallaufzeit, Flankenzeiten
- Logikausgangsschaltungen
  - Pull up
  - Pull down
  - Parallelschaltung
- Logikschaltungen
  - DL, TL, DTL, TTL, Multiemitter
  - AND, NAND, Tristate
- Schaltkreisfamilien
- Lastfaktoren

Digitaltechnik

Die Basis für die Digitaltechnik wird durch bipolare und unipolare Transistoren geschaffen.

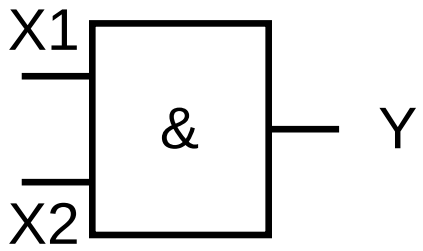
Bipolare Transistoren

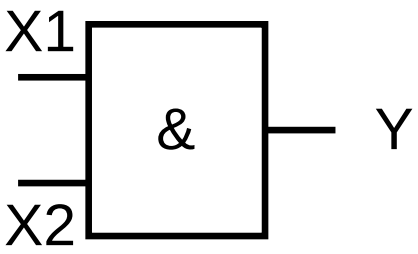
Hohe Schaltgeschwindigkeit
Hohe Verlustleistung
Geringer Integrationsgrad

Unipolare Transistoren

Geringe Schaltgeschwindigkeit
Geringe Verlustleistung
Hoher Integrationsgrad

Logikgatter sind elementare Grundbausteine einfacher Digitalschaltungen und hochkomplexer Prozessoren.

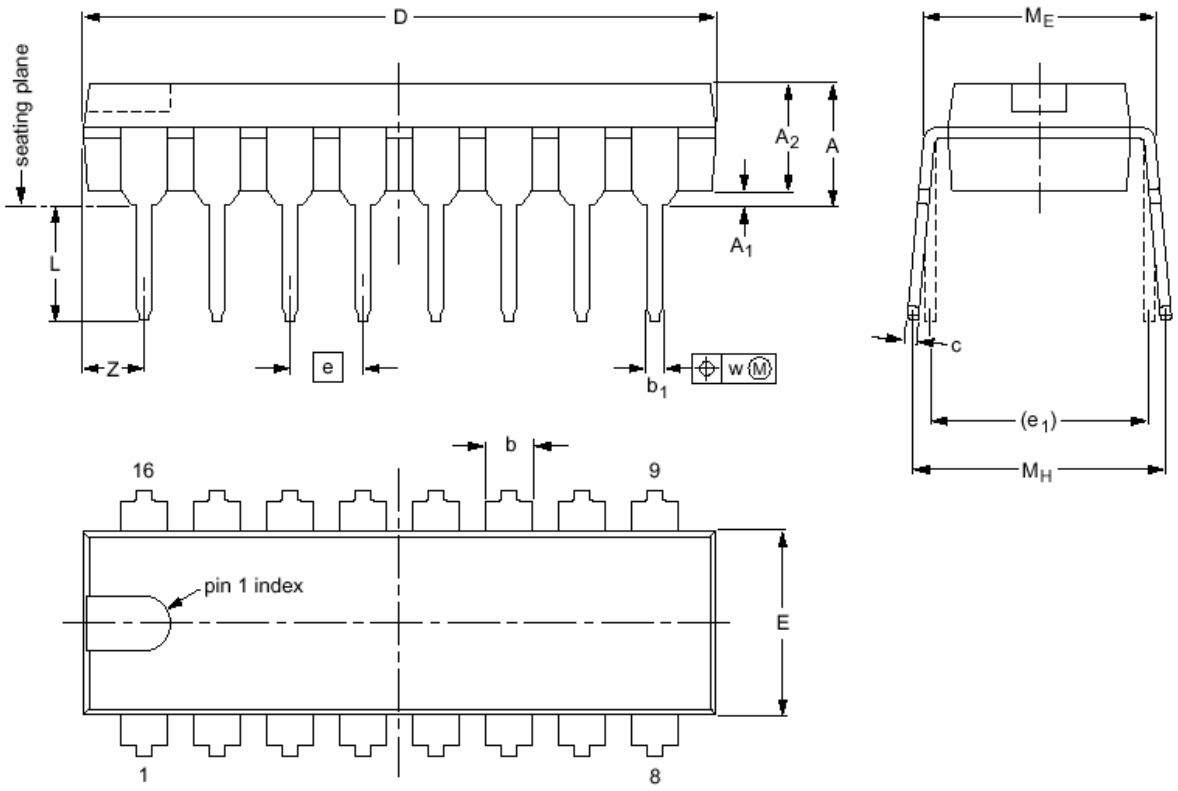




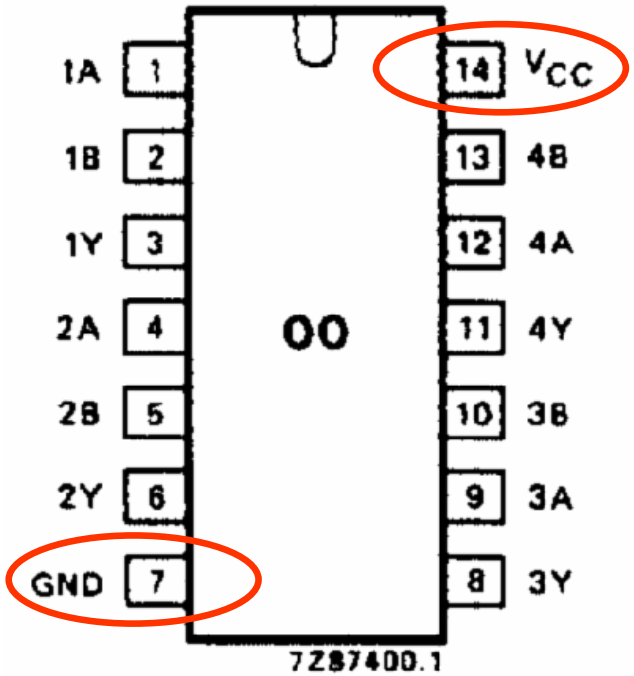
Logikgatter

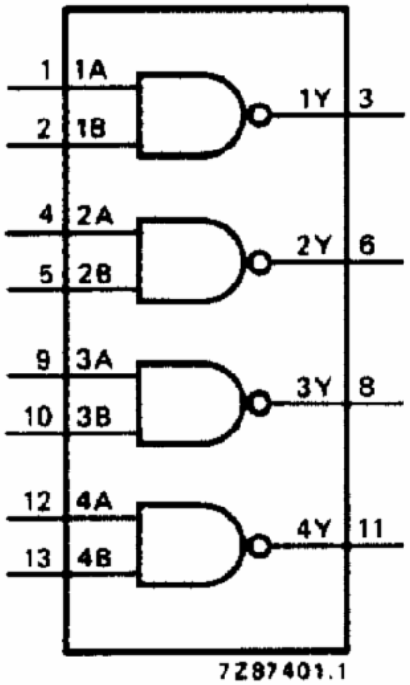
- Gesetze der Logik
- Kenngrößen
- Schaltungsgrundlagen
- Realisierungen in Bipolar- und Unipolartechnik

DIL –Dual Inline Gehäuse



Logikgrundgatter
74HCT00 – 4xfach NAND



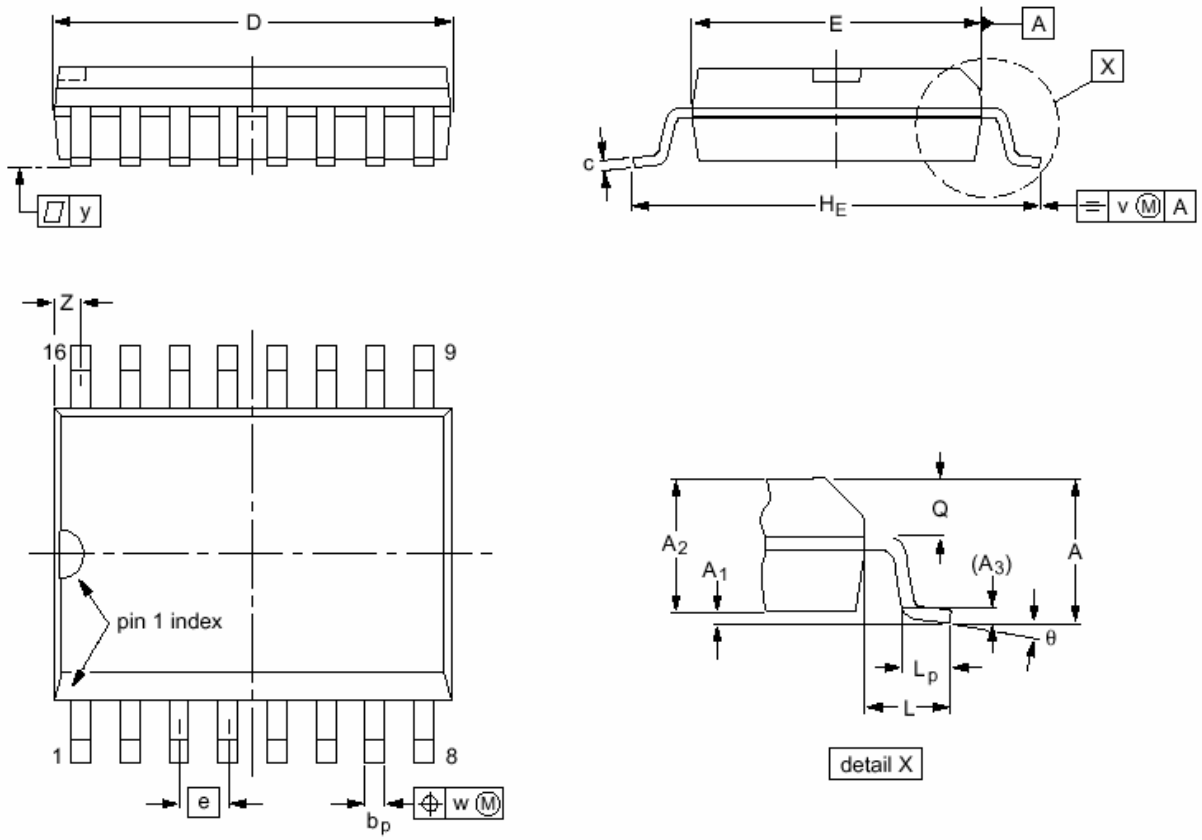


FUNCTION TABLE

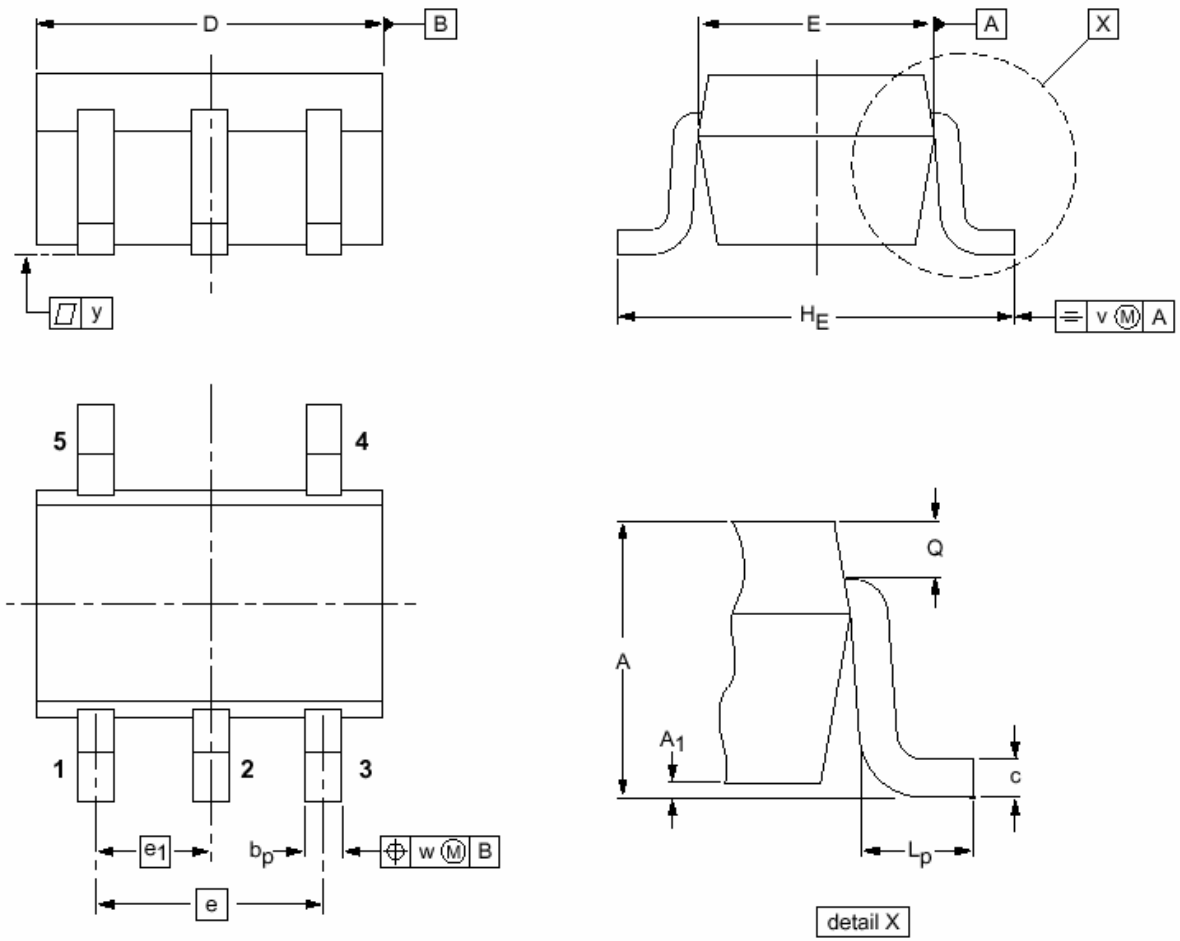
INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	H
H	L	H
H	H	L

SO – Surface Mounted Device

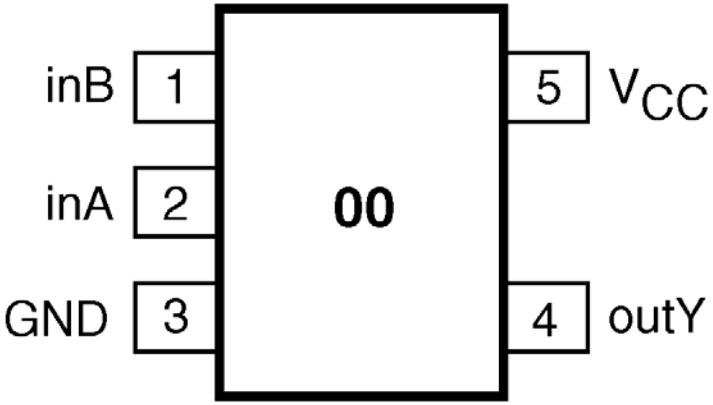
SMD-Gehäuse



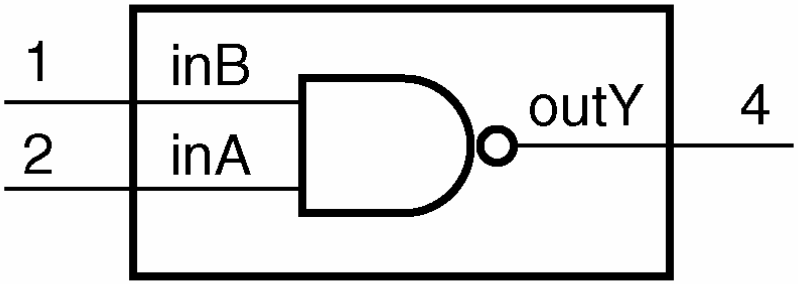
TINY SO – SMD-Gehäuse



TINY Logikgrundgatter
74HCG100

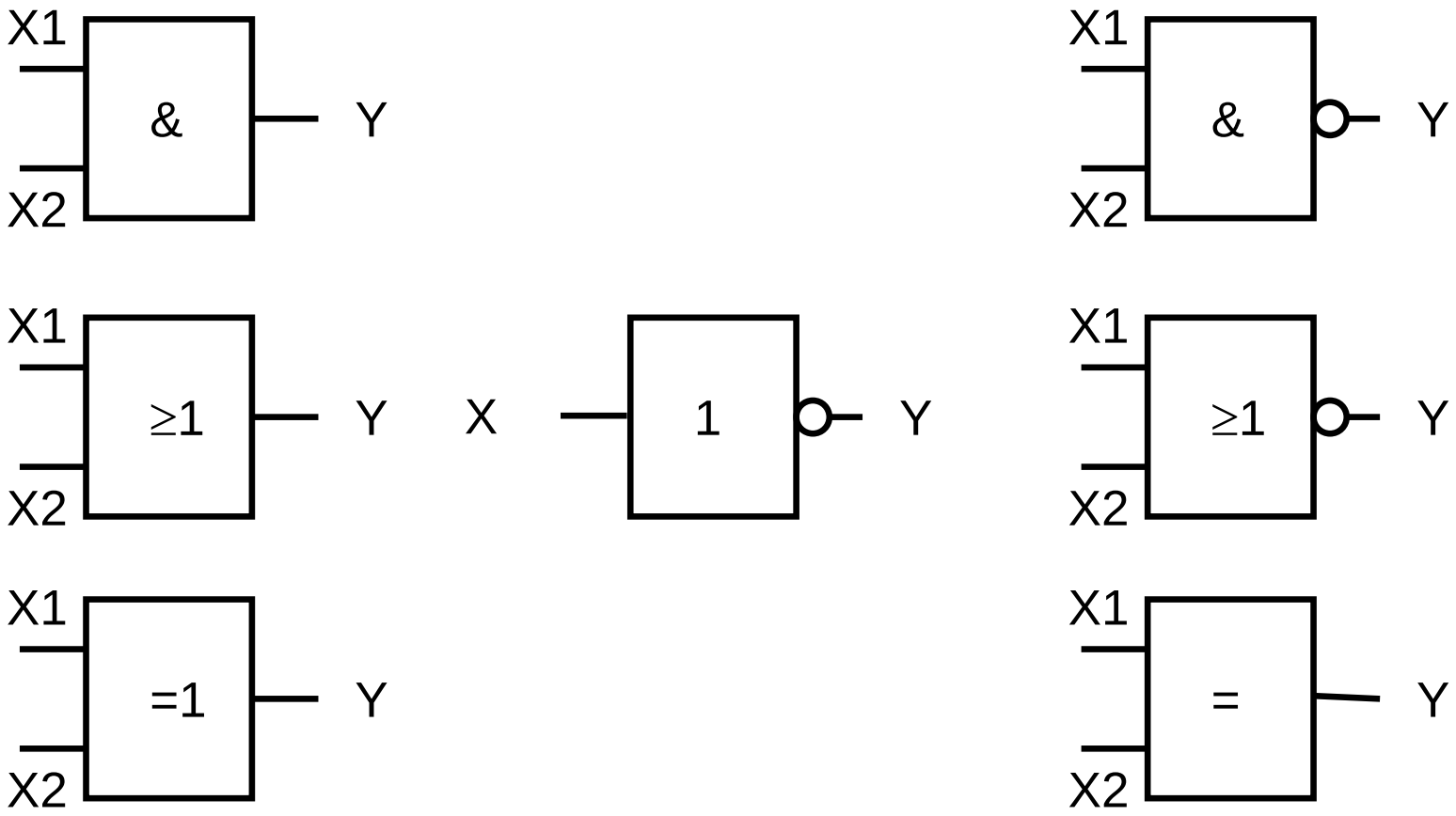


INPUTS		OUTPUT
inA	**inB**	**outY**
L	L	H
L	H	H
H	L	H
H	H	L



MNA097

Logikgrundbausteine



Rechenregeln der Schaltalgebra

$$A = 1$$

$$\overline{A} = 0$$

$$\overline{\overline{A}} = A$$

$$0 * A = 0$$

$$1 * A = A$$

$$A * A = A$$

$$A * \overline{A} = 0$$

$$0 + A = 0$$

$$1 + A = A$$

$$A + A = A$$

$$A + \overline{A} = 1$$

Reduktionsformeln

$$A * (A + B) = A$$
$$A + (A * B) = A$$
$$A * (\overline{A} + B) = A * B$$
$$A + (\overline{A} + B) = A + B$$

Gesetze

Das kommutative Gesetz:

$$A * B = B * A$$

$$A + B = B + A$$

Das assoziative Gesetz:

$$(A * B) * C = A * (B * C) = A * B * C$$

$$(A + B) + C = A + (B + C) = A + B + C$$

Das distributive Gesetz:

$$(A * B) + (A * C) = A * (B + C)$$

$$(A + B) * (A + C) = A + (B * C)$$

Theorem von De Morgan:

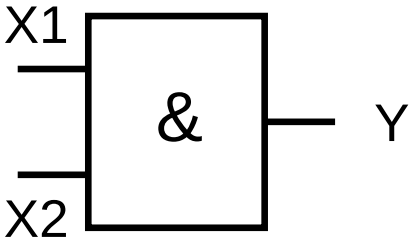
$$\overline{A * B * C * \ldots * N} = \overline{A} + \overline{B} + \overline{C} + \ldots + \overline{N}$$

$$\overline{A + B + C + \ldots + N} = \overline{A} * \overline{B} * \overline{C} * \ldots * \overline{N}$$

Satz von Shannon:

$$\overline{\left(\overline{A} * \overline{B} * \overline{C}\right) + \left(A * B * C\right)} = \left(A + B + C\right) * \left(\overline{A} + \overline{B} + \overline{C}\right)$$

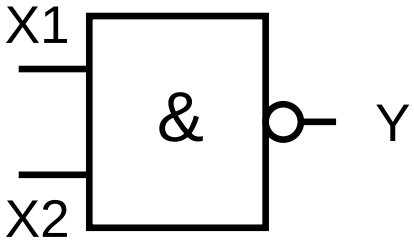
AND



$$Y = X1 \wedge X2 = X1 \cdot X2$$

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

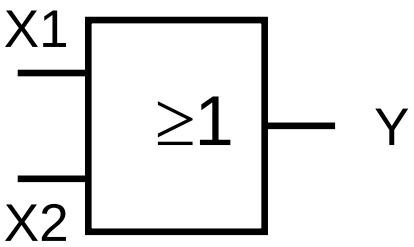
NAND



$$Y = \overline{X1 \wedge X2} = \overline{X1 \cdot X2}$$

X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0

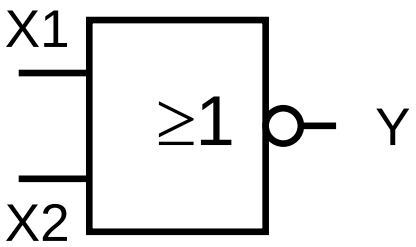
OR



$$Y = X1 \vee X2 = X1 + X2$$

X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1

NOR

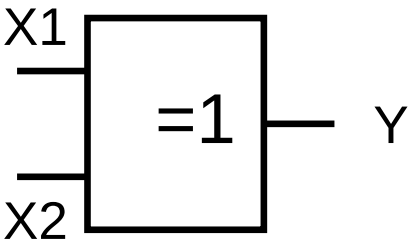


$$Y = \overline{X1 \vee X2} = \overline{X1 + X2}$$

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0

EX-OR

Antivalenz



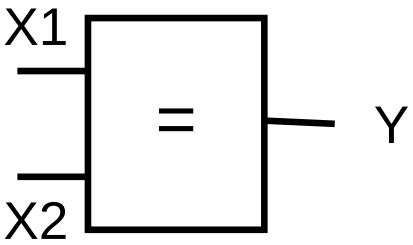
$$Y = \left(X1 \wedge \overline{X2}\right) \vee \left(\overline{X1} \wedge X2\right)$$

$$Y = \left(X1 \cdot \overline{X2}\right) + \left(\overline{X1} \cdot X2\right)$$

X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	0

EX-NOR

Äquivalenz

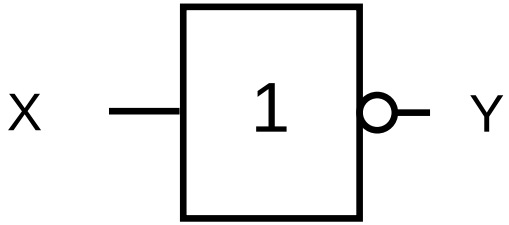


$$Y = \overline{\left(X1 \wedge \overline{X2}\right) \vee \left(\overline{X1} \wedge X2\right)}$$

$$Y = \overline{\left(X1 \cdot \overline{X2}\right) + \left(\overline{X1} \cdot X2\right)}$$

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	1

NOT



$$Y = \overline{X}$$

X	Y
0	1
1	0

Logikpegel
positive und negative Logik

Freie Universität Berlin

Positive Logik:

0	0 Volt
1	+XX Volt

Negative Logik:

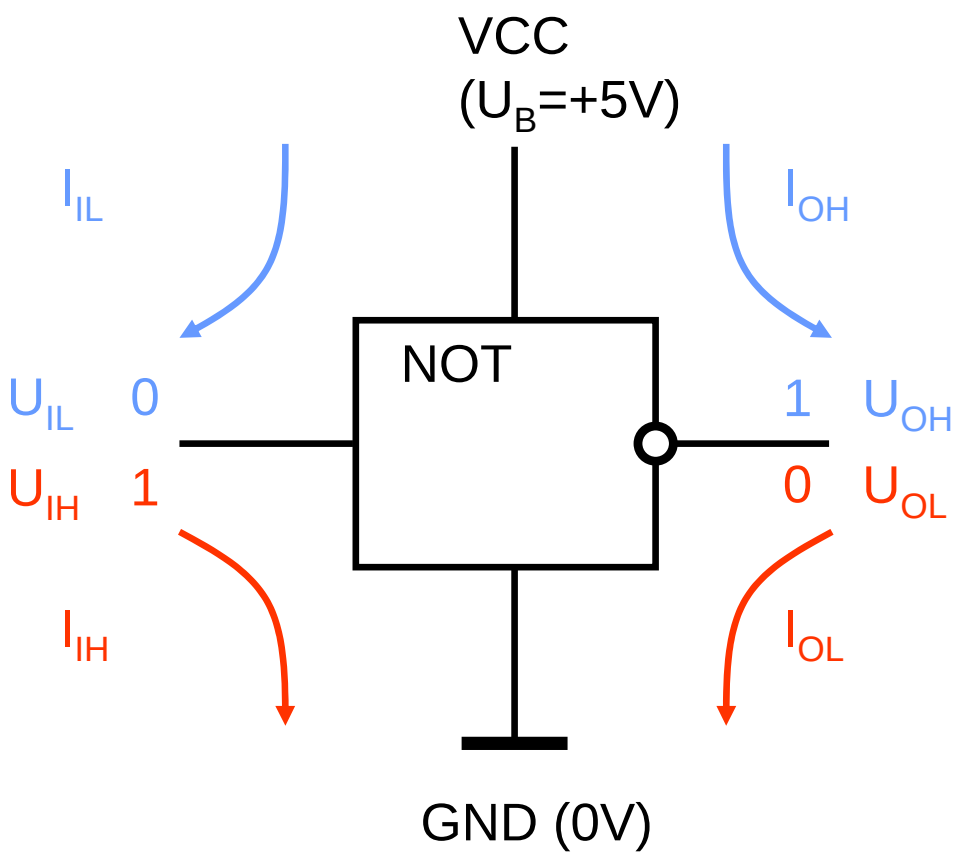
0	+XX Volt
1	0 Volt

Logikpegel
Spannungsbereiche

Die Logikpegel sind abhängig von den eingesetzten Logikschaltkreisfamilien.

Derzeitig sind vorrangig
5V, 3,3V, 3V, 2,7V und 1,8V
Systeme im Einsatz.

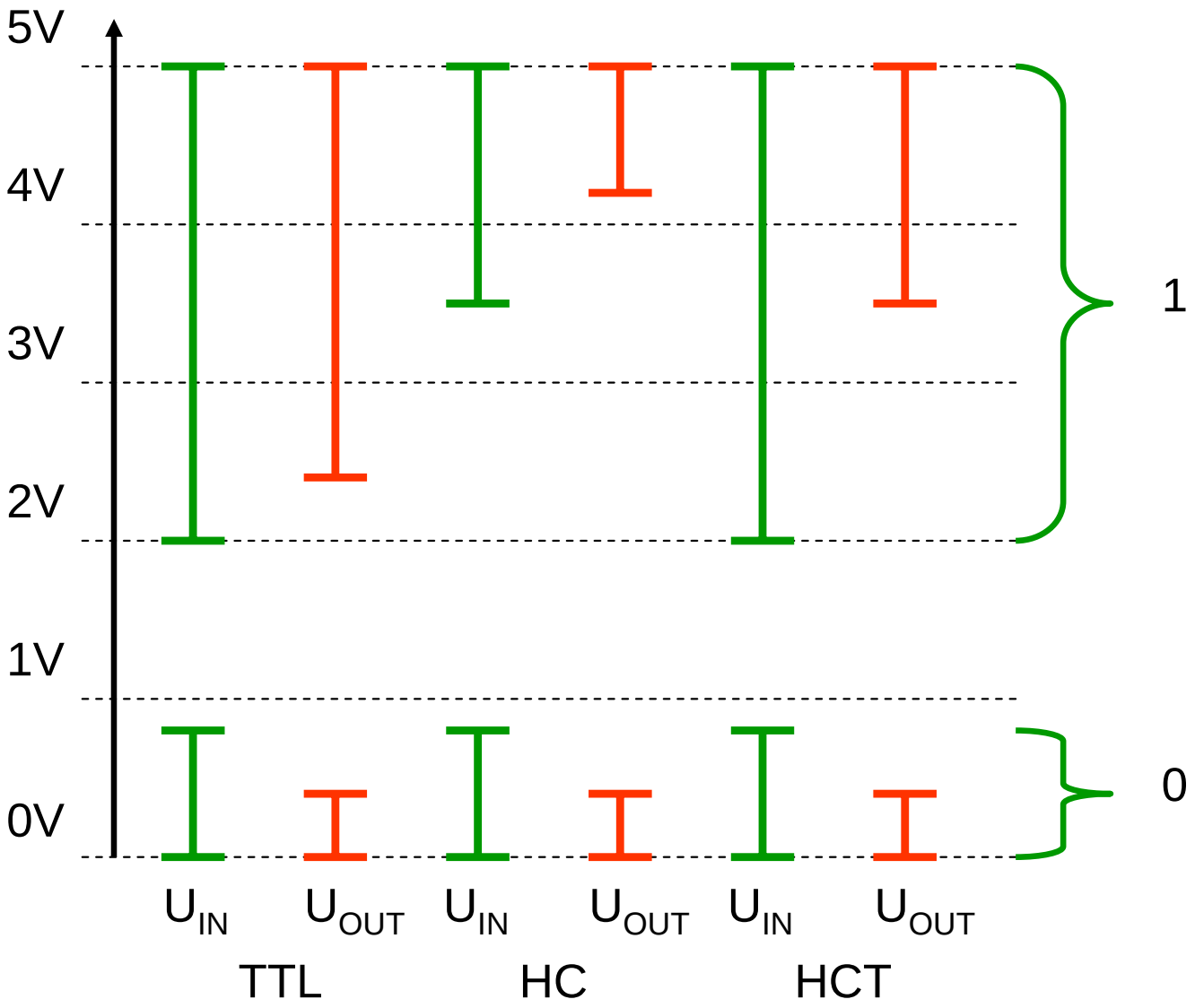
Logikpegel
Ströme und Spannungen



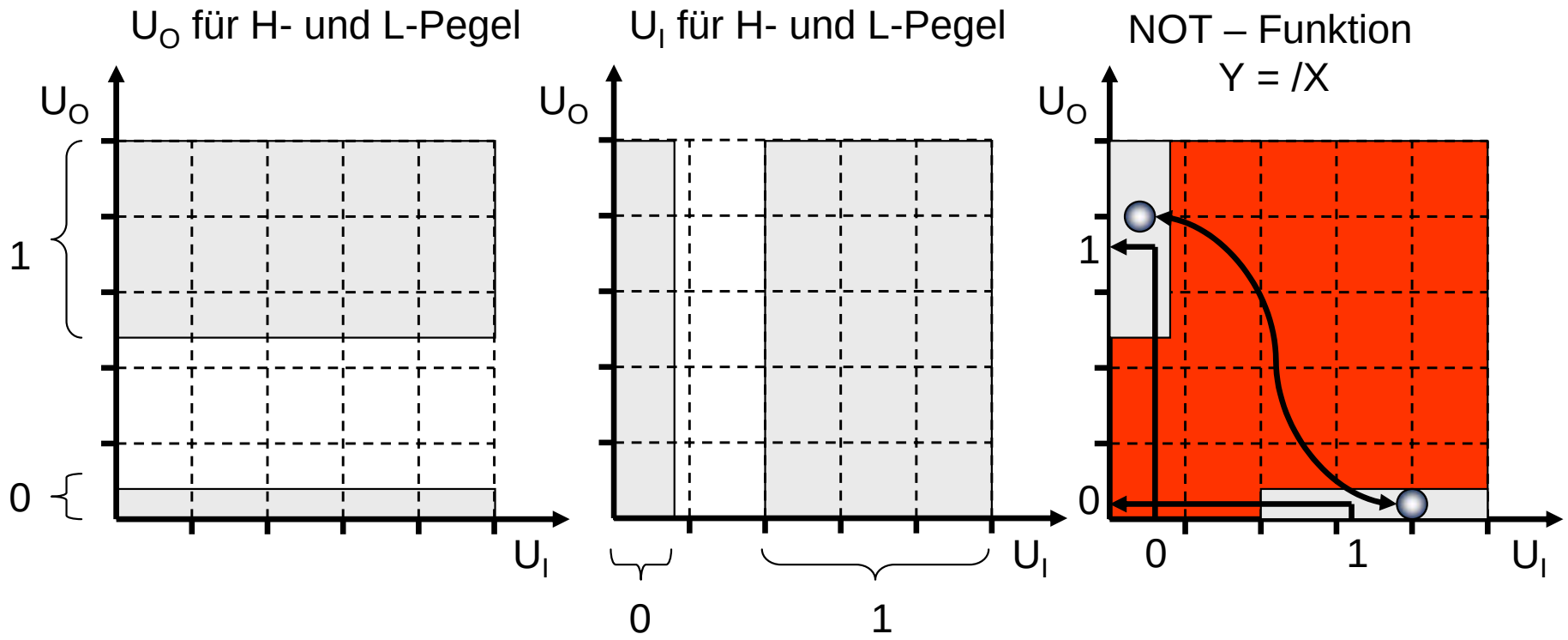
Wert	min	max
U_B	4,75V	5,25V
U_{IL}	0V	0,8V
U_{IH}	2V	5V
I_{IL}	-0,1mA	-0,2mA
I_{IH}	20µA	40µA
U_{OL}	0,2V	0,5V
U_{OH}	2,4V	2,7V
I_{OL}	4mA	20mA

Logikpegel

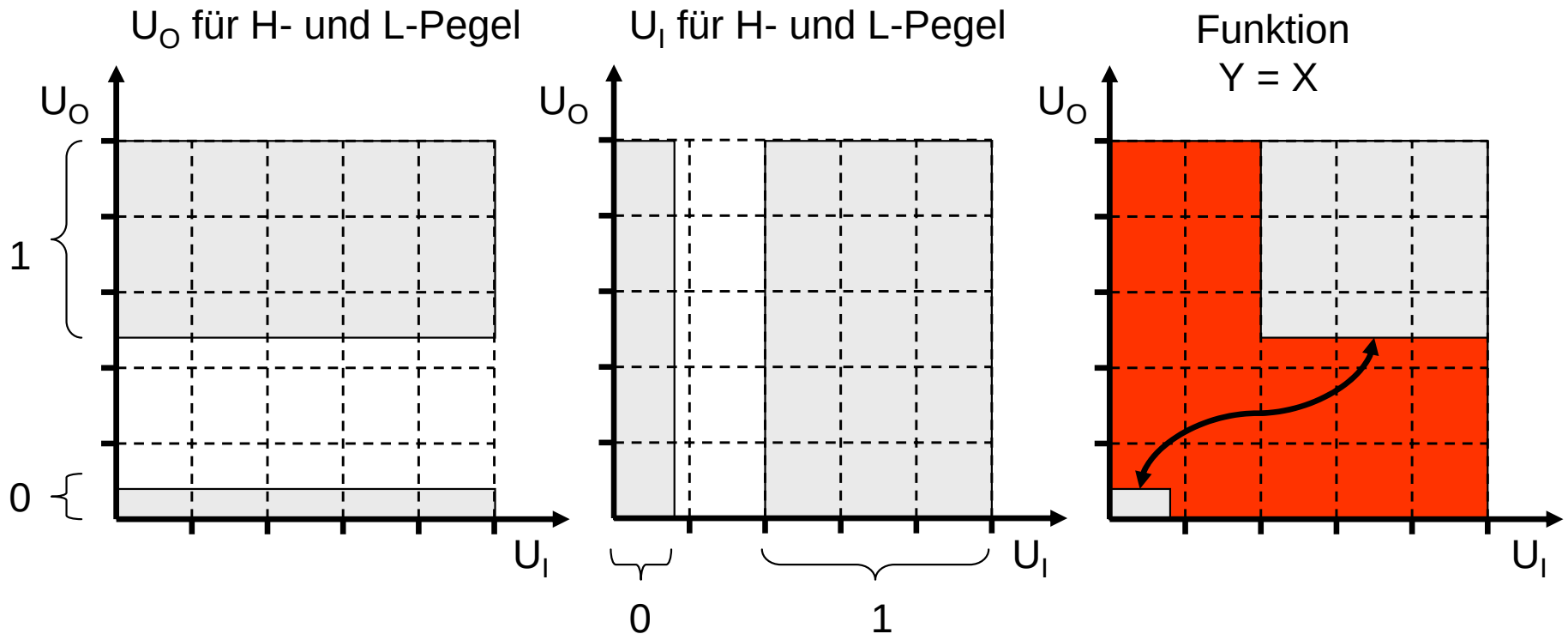
Zuordnung 1 – High, 0 - Low



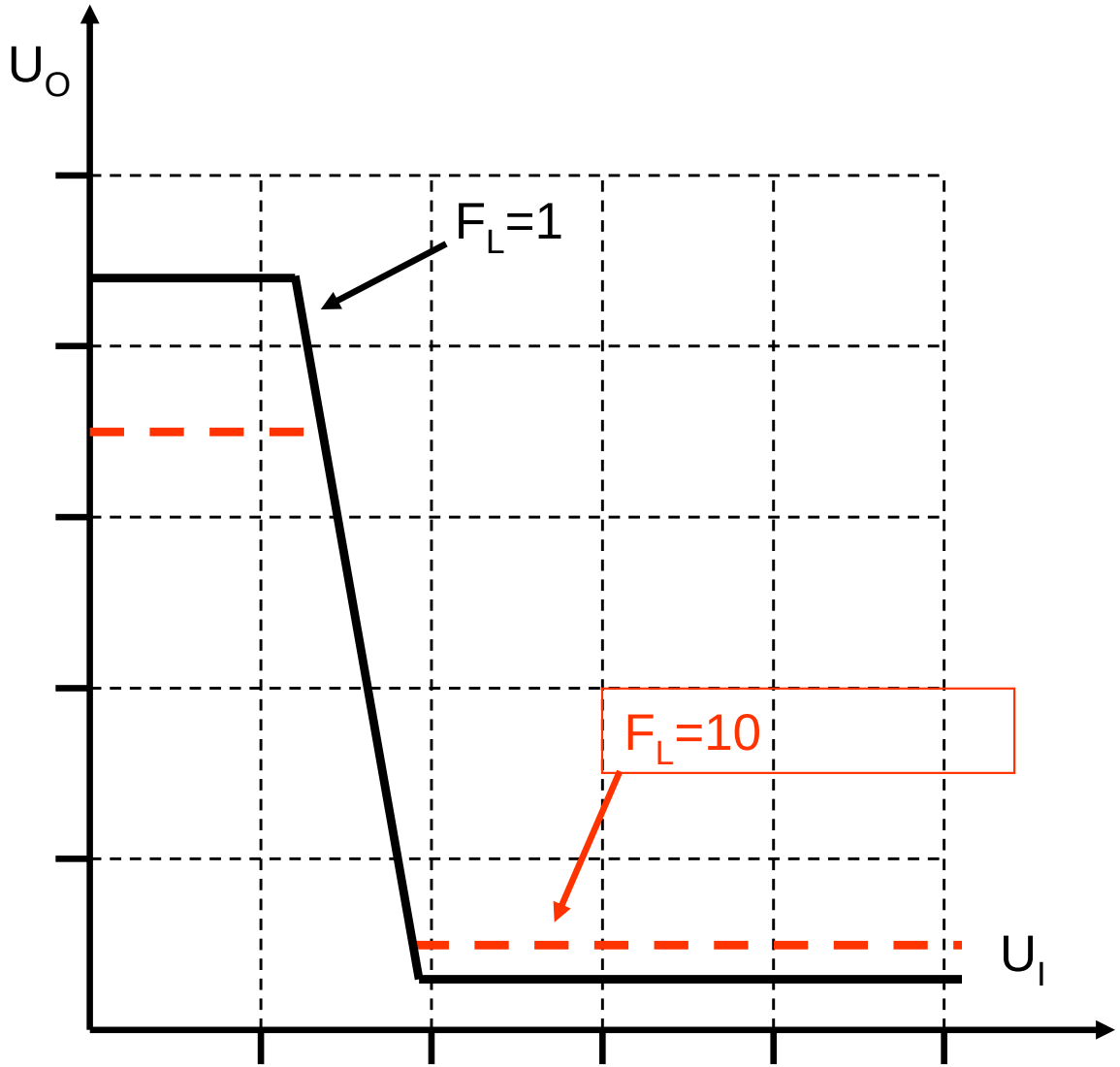
Übertragungskennlinie
für Y=/X



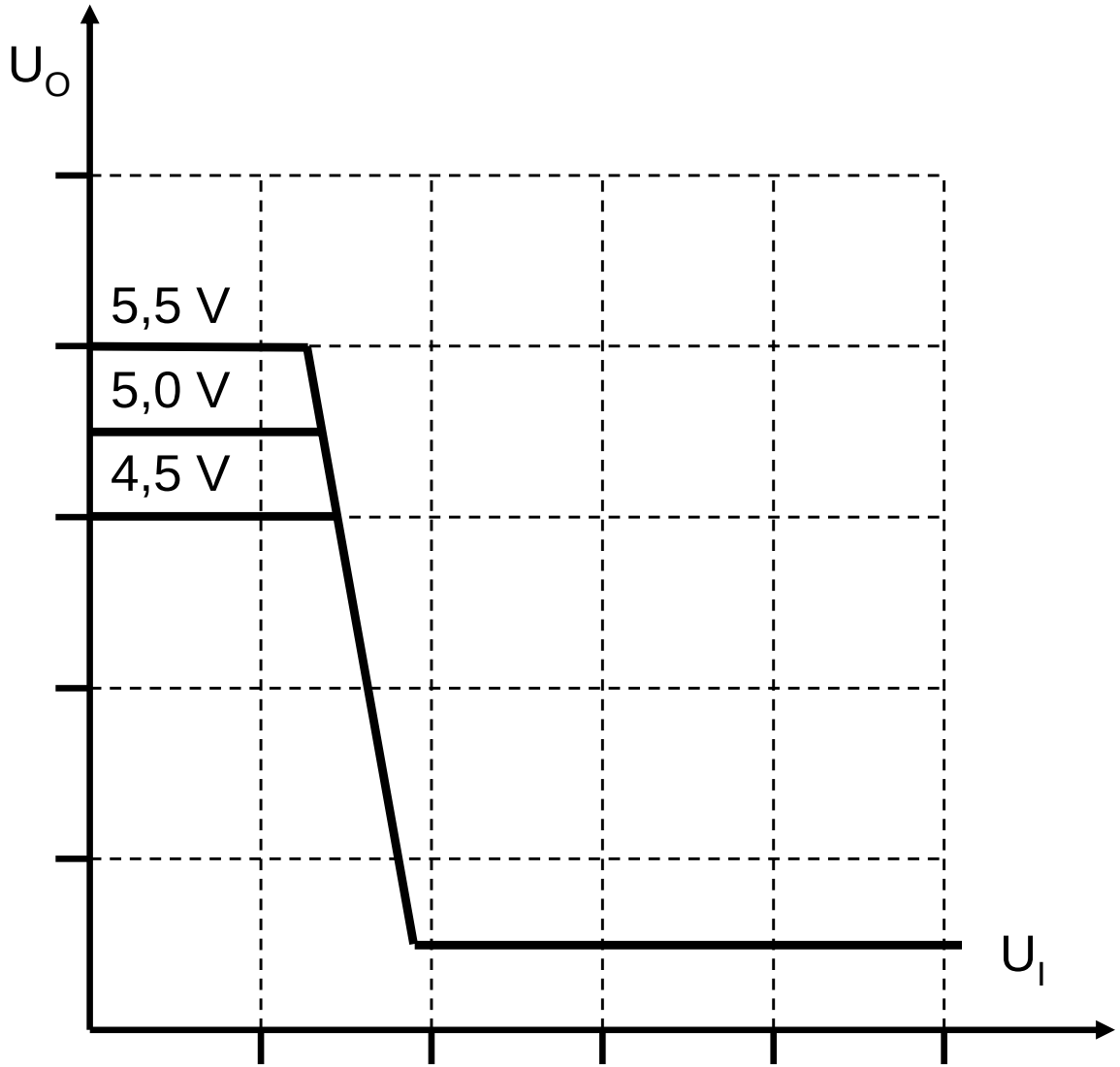
Übertragungskennlinie
für Y=/X



Übertragungskennlinie
Einfluss der Last



Übertragungskennlinien
Einfluss der Versorgungsspannung

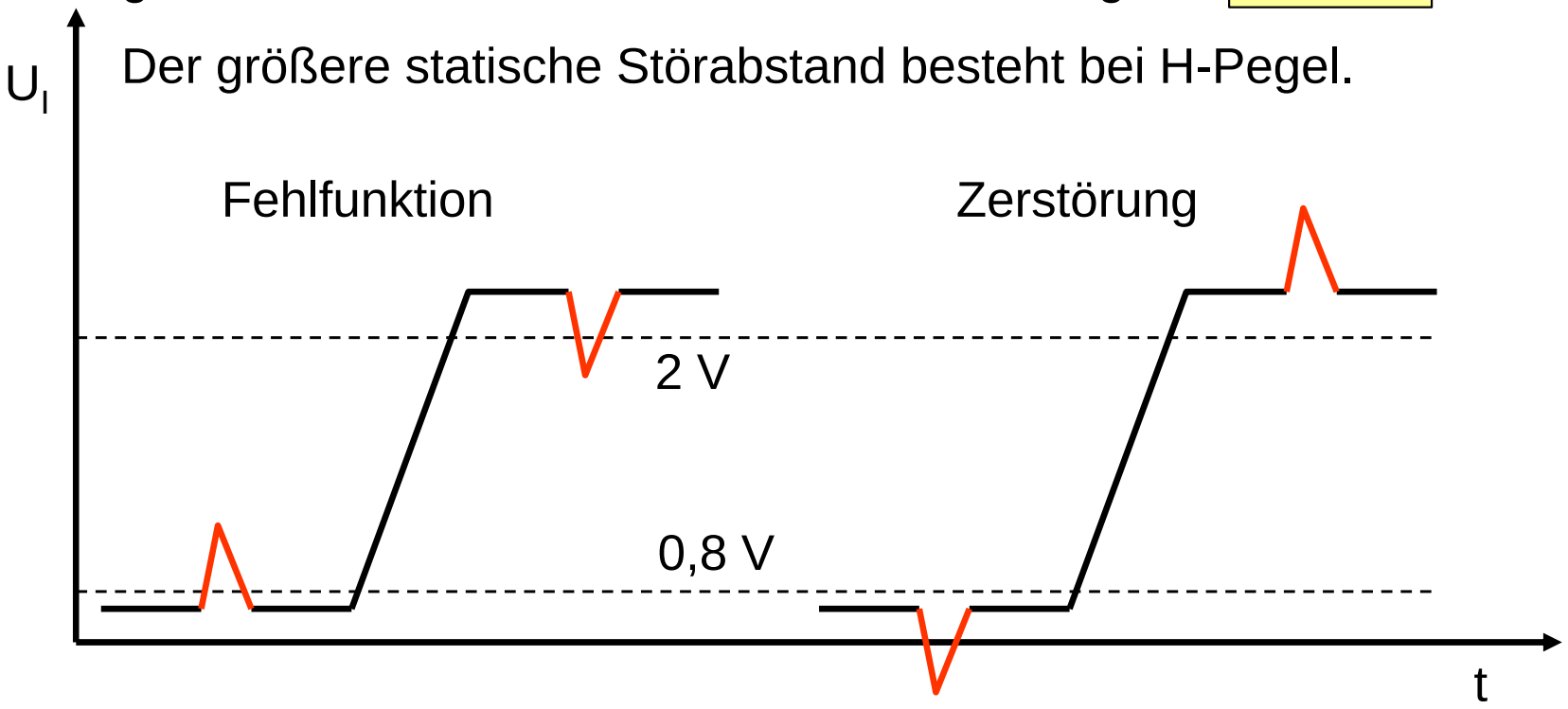


Statischer Störabstand

garantierter statischer Störabstand bei L-Pegel $V_{IL} - V_{OL}$

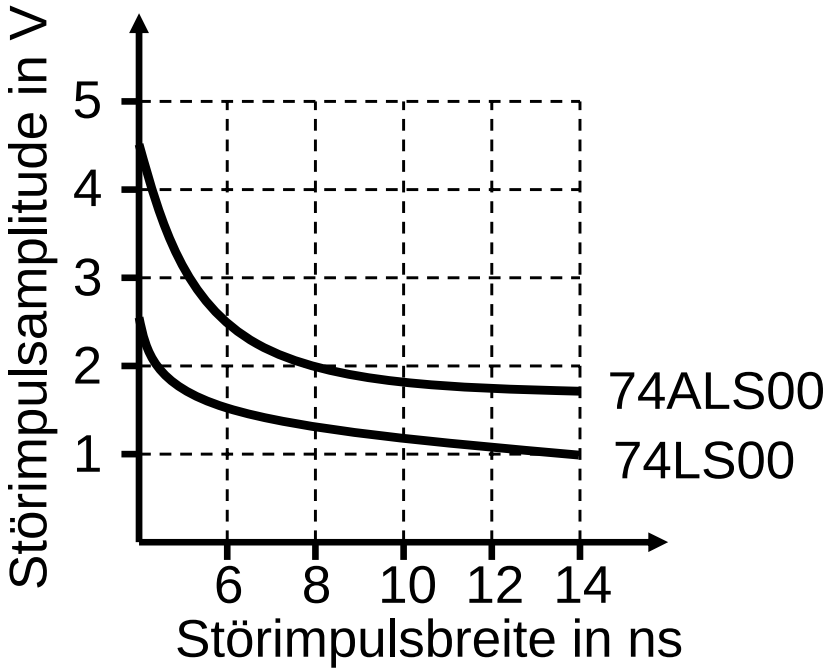
garantierter statischer Störabstand bei H-Pegel $V_{OH} - V_{IH}$

Der größere statische Störabstand besteht bei H-Pegel.



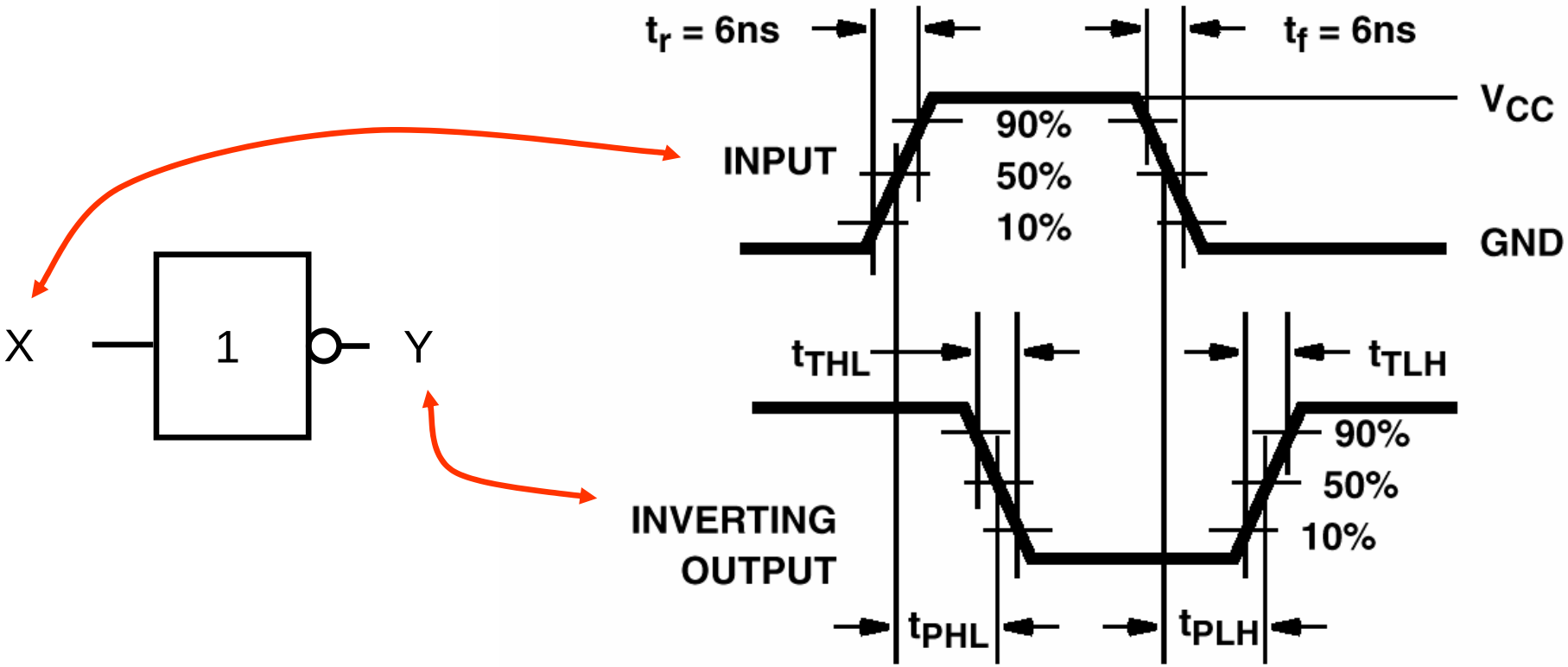
Dynamischer Störabstand

Als dynamischen Störabstand bezeichnet man die Amplitude eines eingekoppelten Störimpulses bestimmter Breite, die den logischen Zustand der Schaltung gerade noch nicht verändert.
Je kurzer die Schaltzeit eines Logikgatters, desto niedriger wird der dynamische Störabstand.



Signallaufzeit und Flankenzeiten

Zeitverlauf am NOT



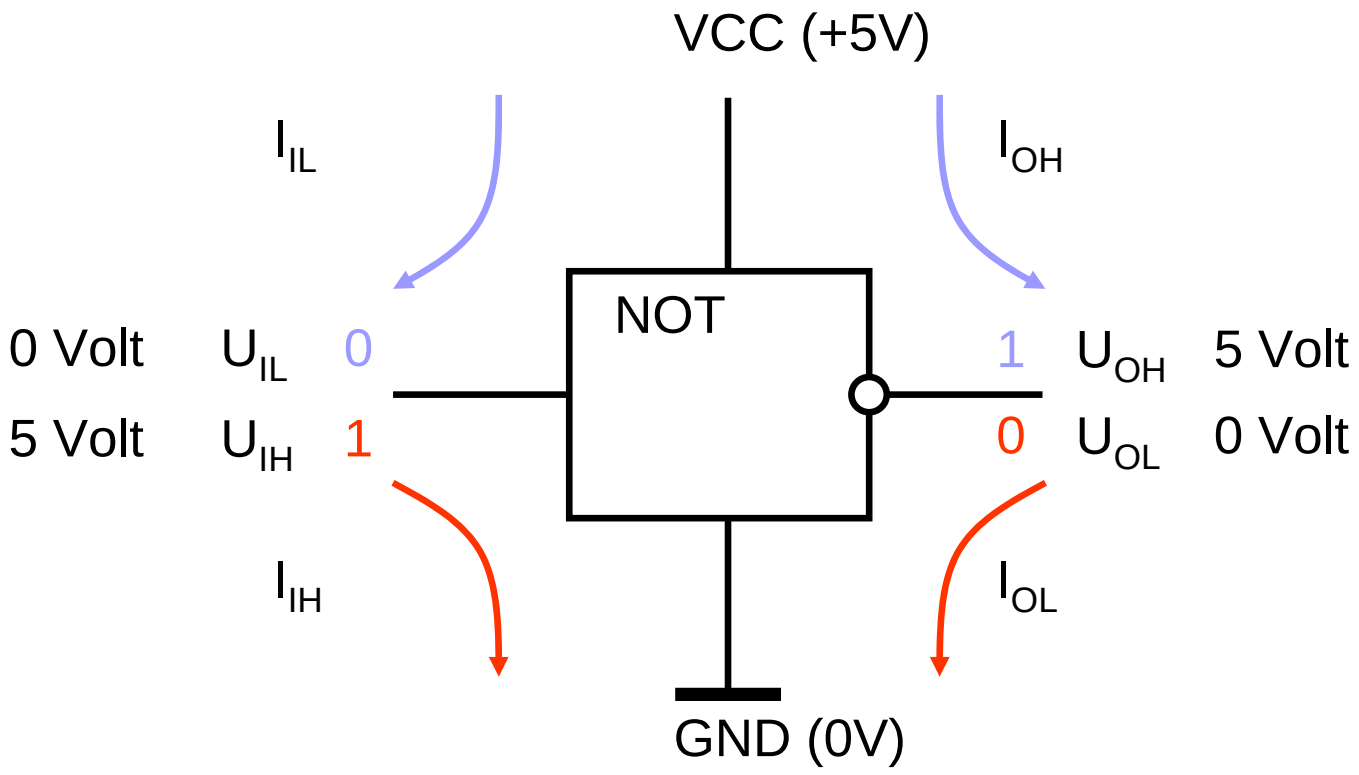
Signallaufzeit und Flankenzeiten
Definitionen

t_r	rise-time	Anstiegszeit für LH- oder positive Flanke
t_f	fall-time	Abfallszeit für HL- oder negative Flanke
t_{pHL}	propagation delay	Signalverzögerung HL
t_{pLH}	propagation delay	Signalverzögerung LH
t_{THL}	output transition time	Abfallszeit für HL- oder negative Flanke
t_{TLH}	output transition time	Anstiegszeit für LH- oder positive Flanke

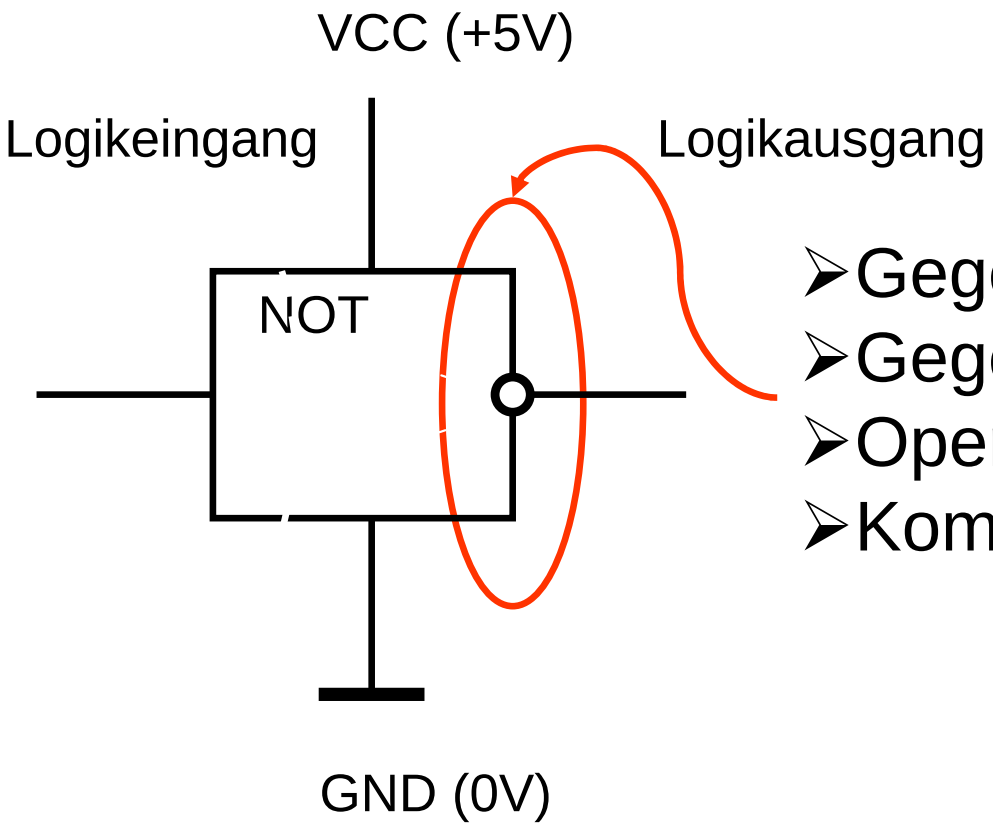
$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

$$Flankensteilheit = \frac{80\% Endwert}{t_r \text{ oder } t_f} \quad in \quad \left[\frac{Volt}{\mu s}\right]$$

Ströme und Spannungen

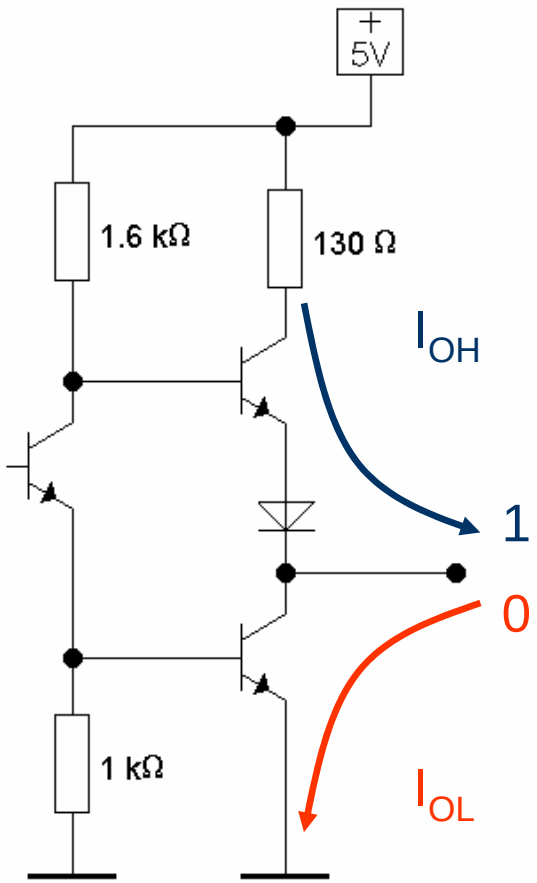


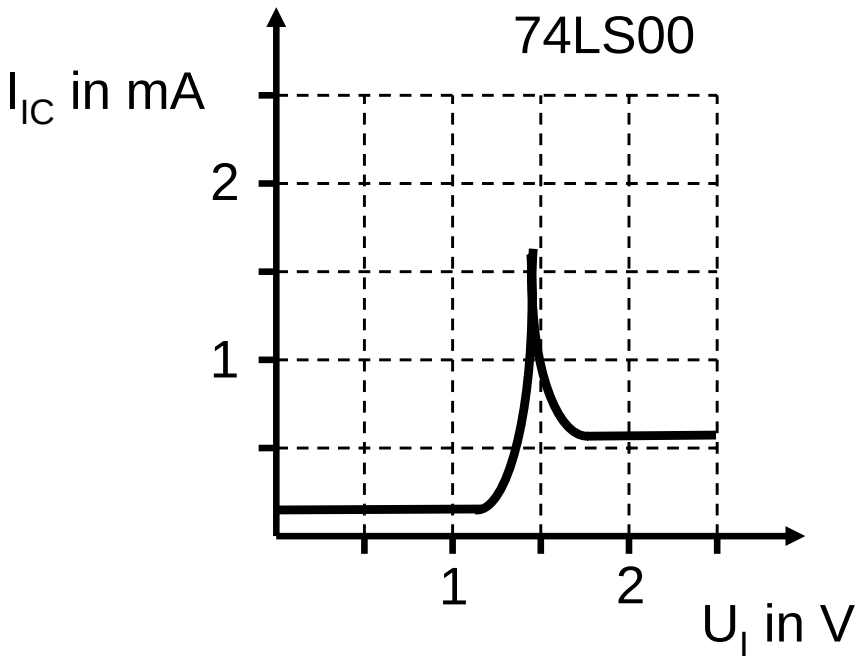
Logikausgang
Grundschaltungen



- Gegentaktausgang
- Gegentaktausgang mit Tristate
- Open Collector
- Komplementärausgang

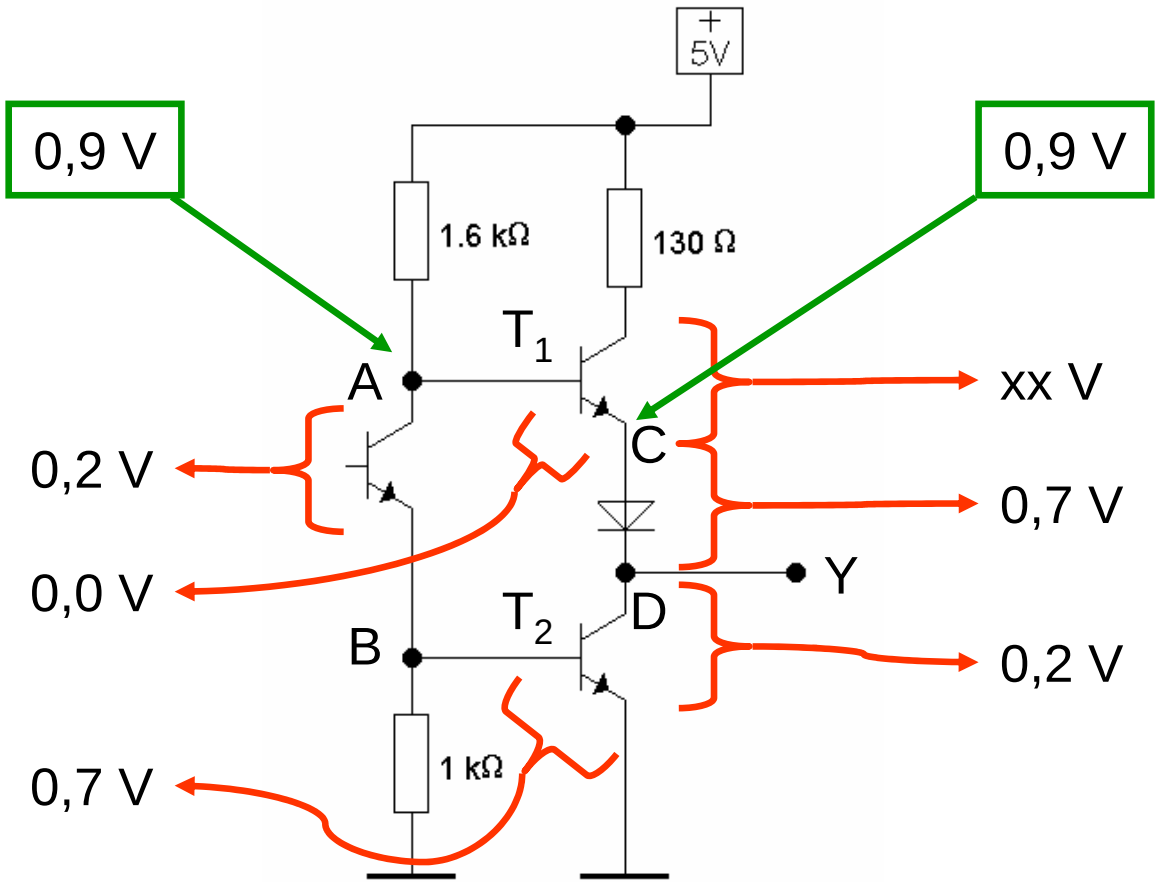
Logikausgang
Gegentaktausgang





Speisespitzenstrom beim Logikpegelwechsel am IC.
In der Gegentaktschaltung sind kurzzeitig beide Transistoren leitend.

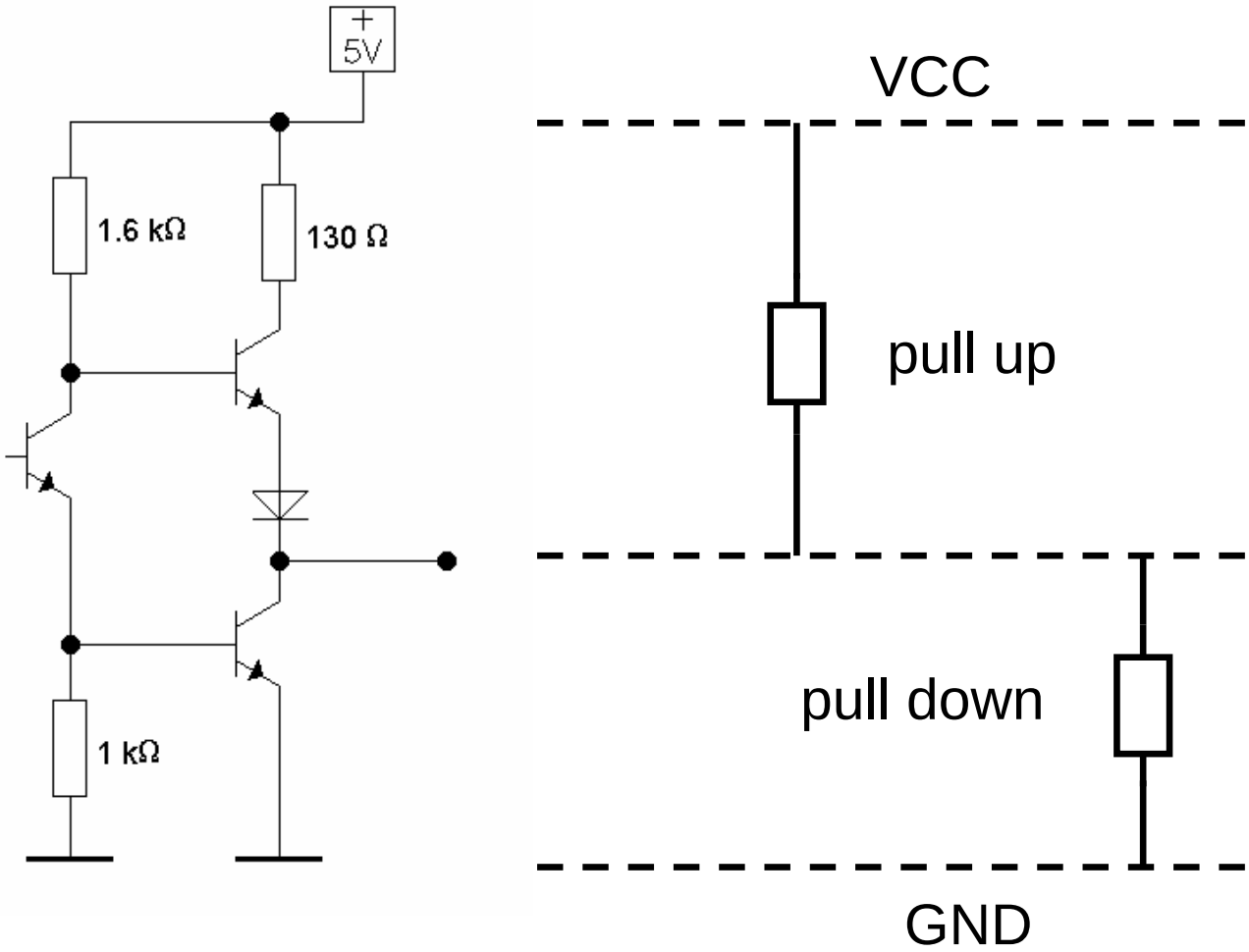
Logikausgang
Gegentaktausgang - Pegelverschiebungsdiode



Die Diode verhindert das T_1 leitend wird wenn T_2 leitet. U_{BE} von T_1 bei leitendem T_2 ist kleiner 0,7V.

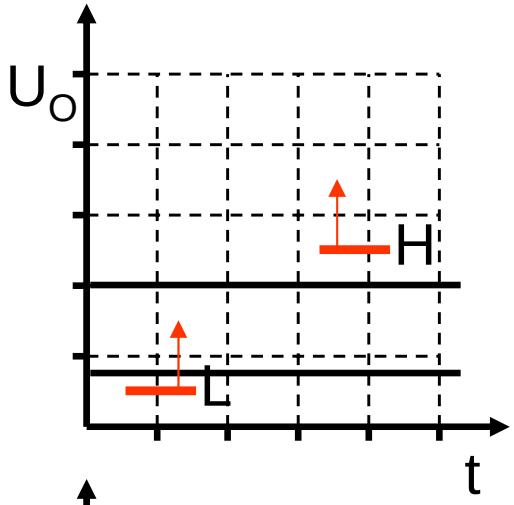
T3 leitet $\Rightarrow$ Y = 0.
T3 sperrt $\Rightarrow$ Y = 1.

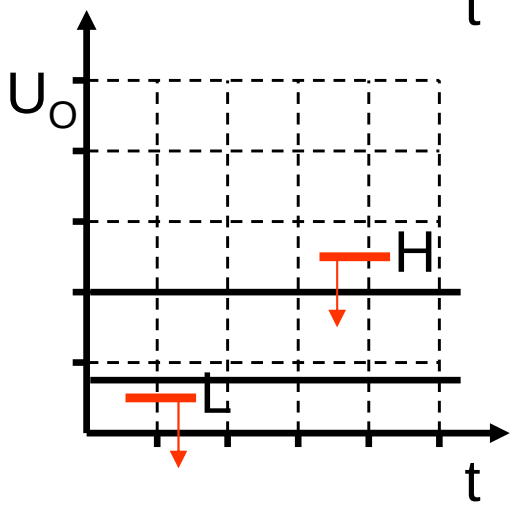
Logikausgang
Gegentaktausgang – pull up und pull down

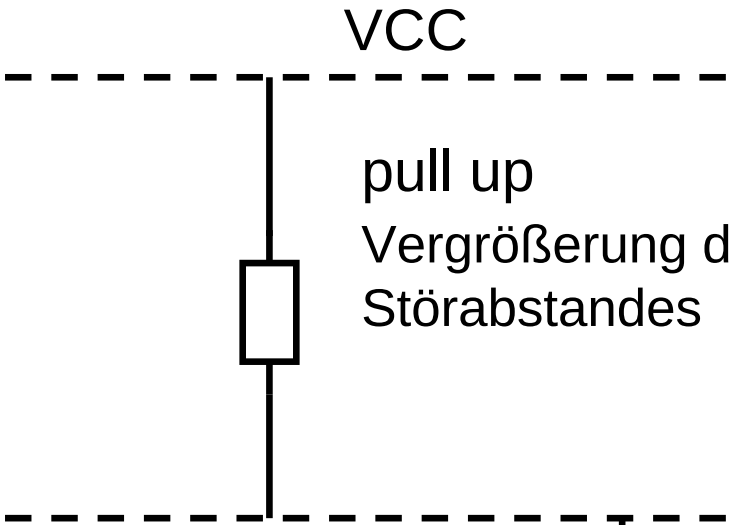


Logikausgang

Gegentaktausgang – statischer Störabstand







pull up

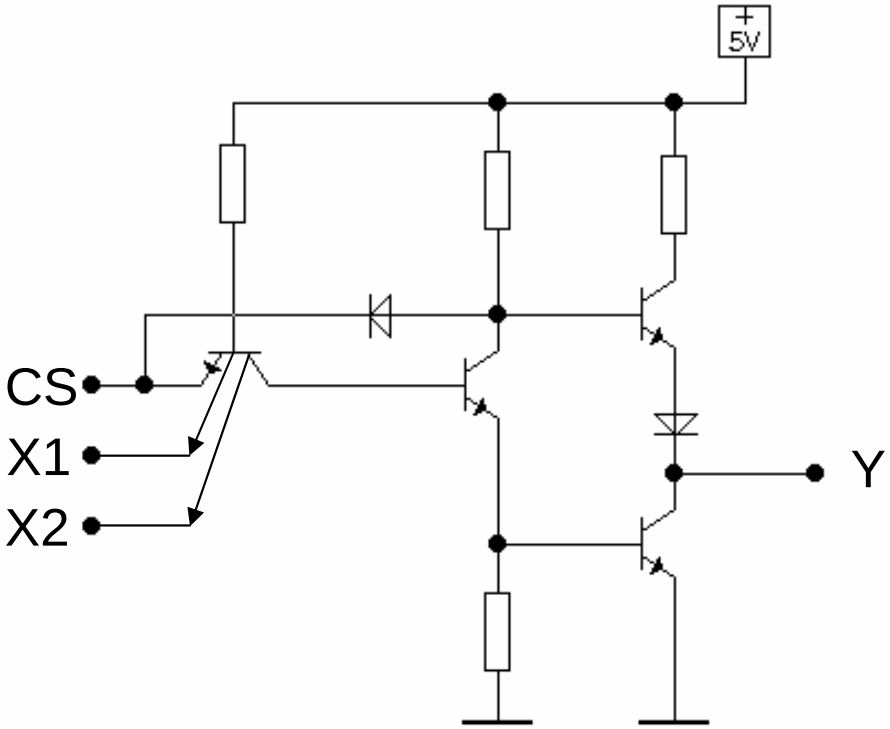
Vergrößerung des statischen Störabstandes

pull down

Verringerung des statischen Störabstandes

Logikausgang

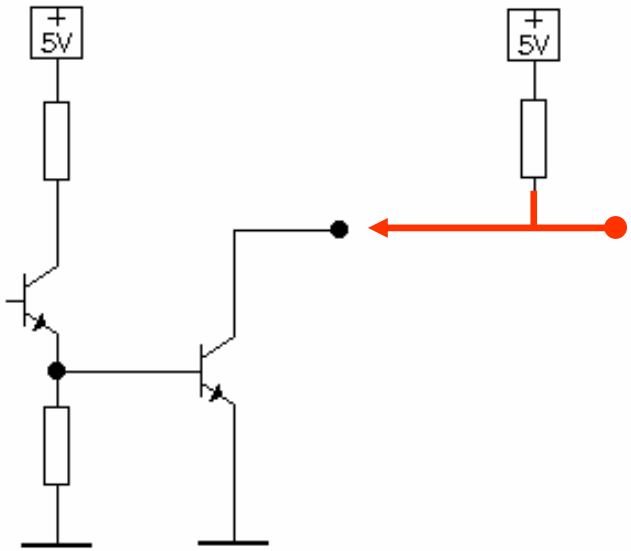
Gegentaktausgang mit Tristate am Beispiel NAND



X1	X2	CS	Y
0	0	1	1
0	1	1	1
1	0	1	1
1	1	1	0
x	x	0	Z

x – beliebig
z - hochohmig

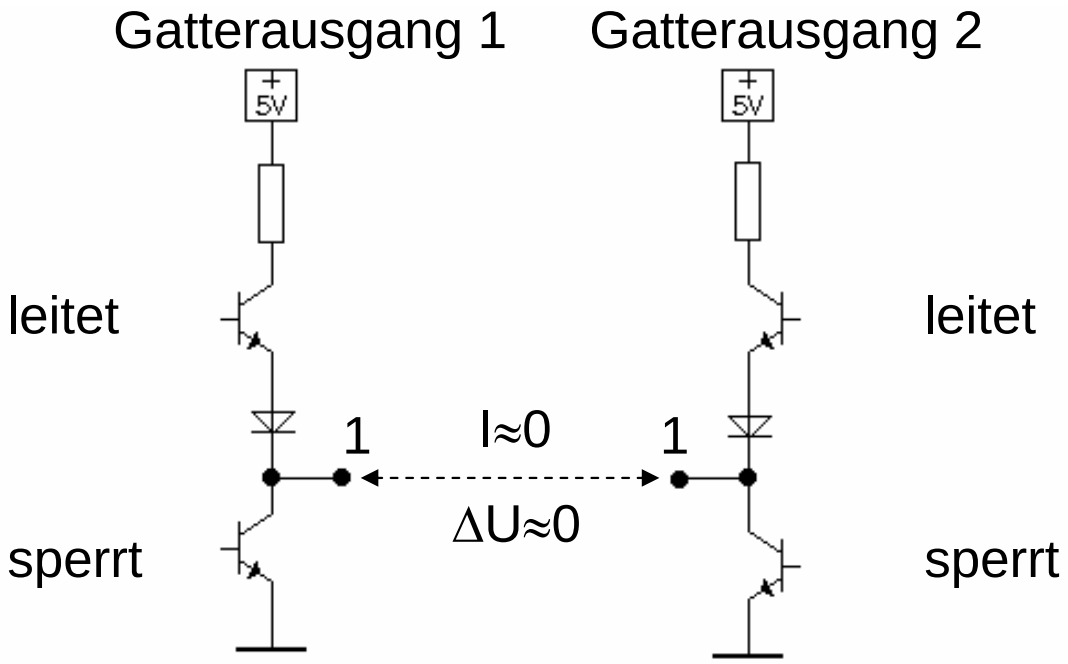
Logikausgang
Open Collector



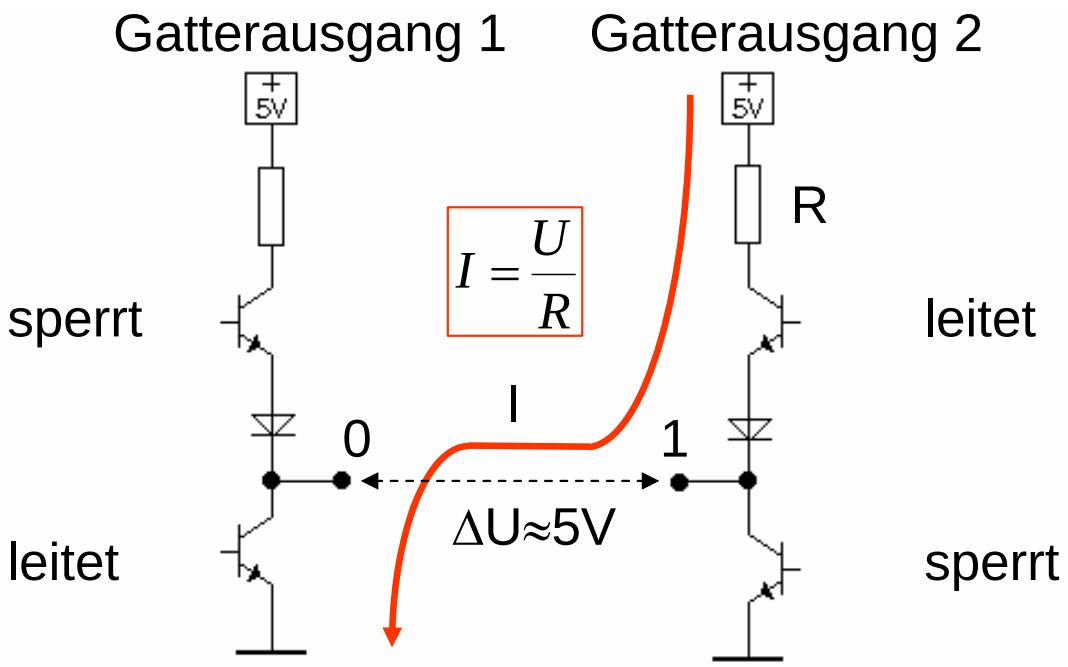
Nur mit einem externen pull up Widerstand kann ein Logikpegel erzeugt werden.

Genutzt werden OC-Ausgänge:
- OR-Verknüpfung von Ausgängen
- Treiben von externen Lasten (LED,Motoren,Relais..)

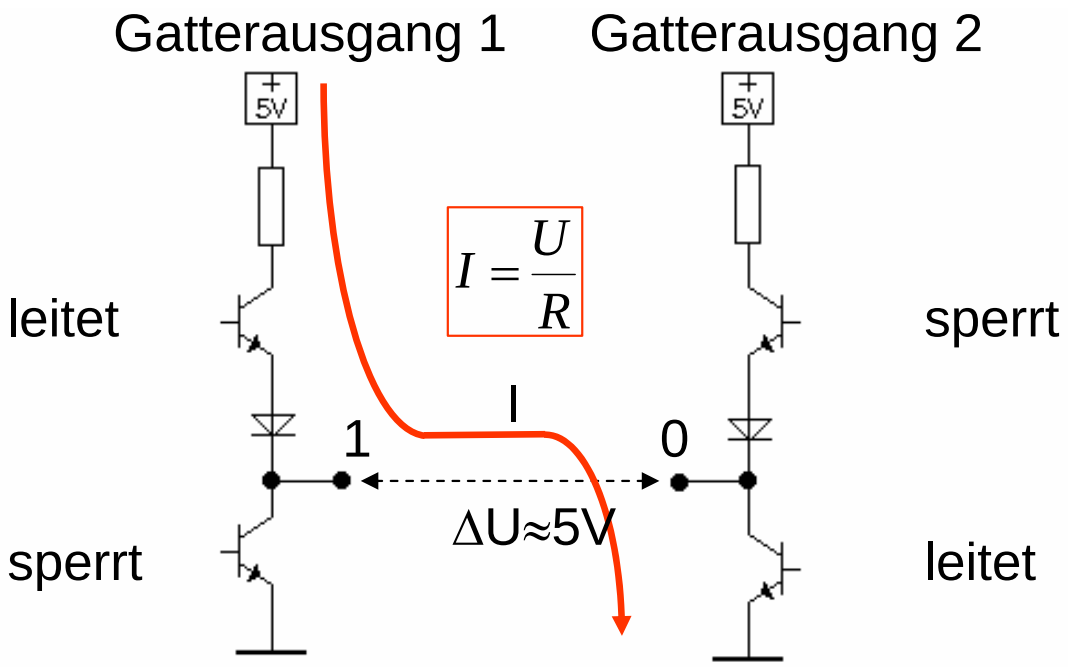
Logikausgang
Gegentaktausgang – Parallelschaltung



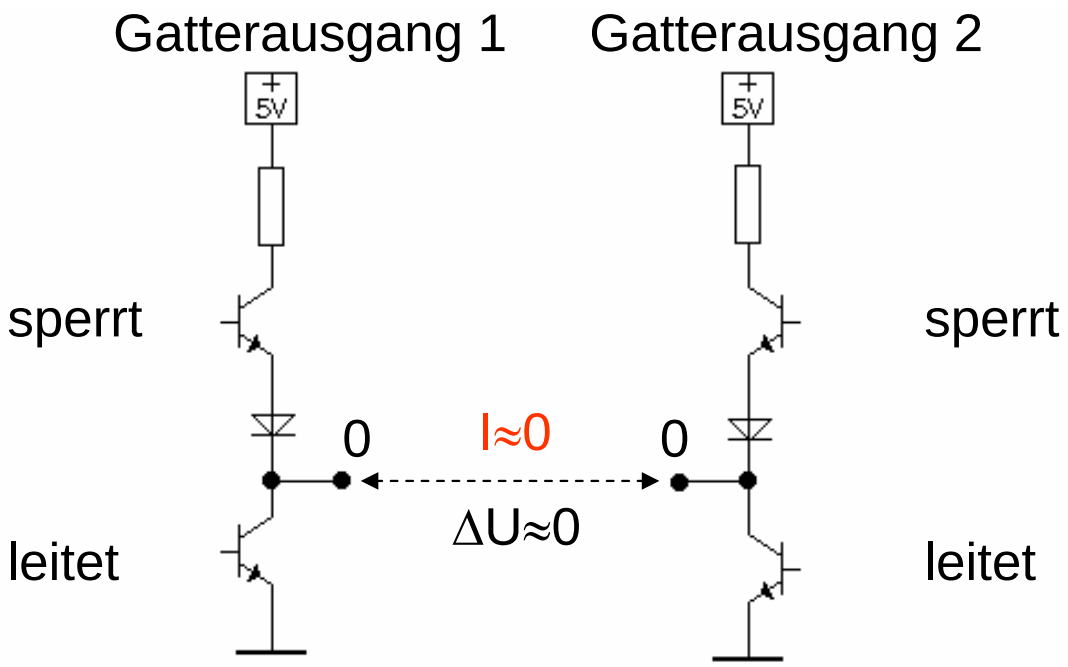
Logikausgang
Gegentaktausgang – Parallelschaltung



Logikausgang
Gegentaktausgang – Parallelschaltung

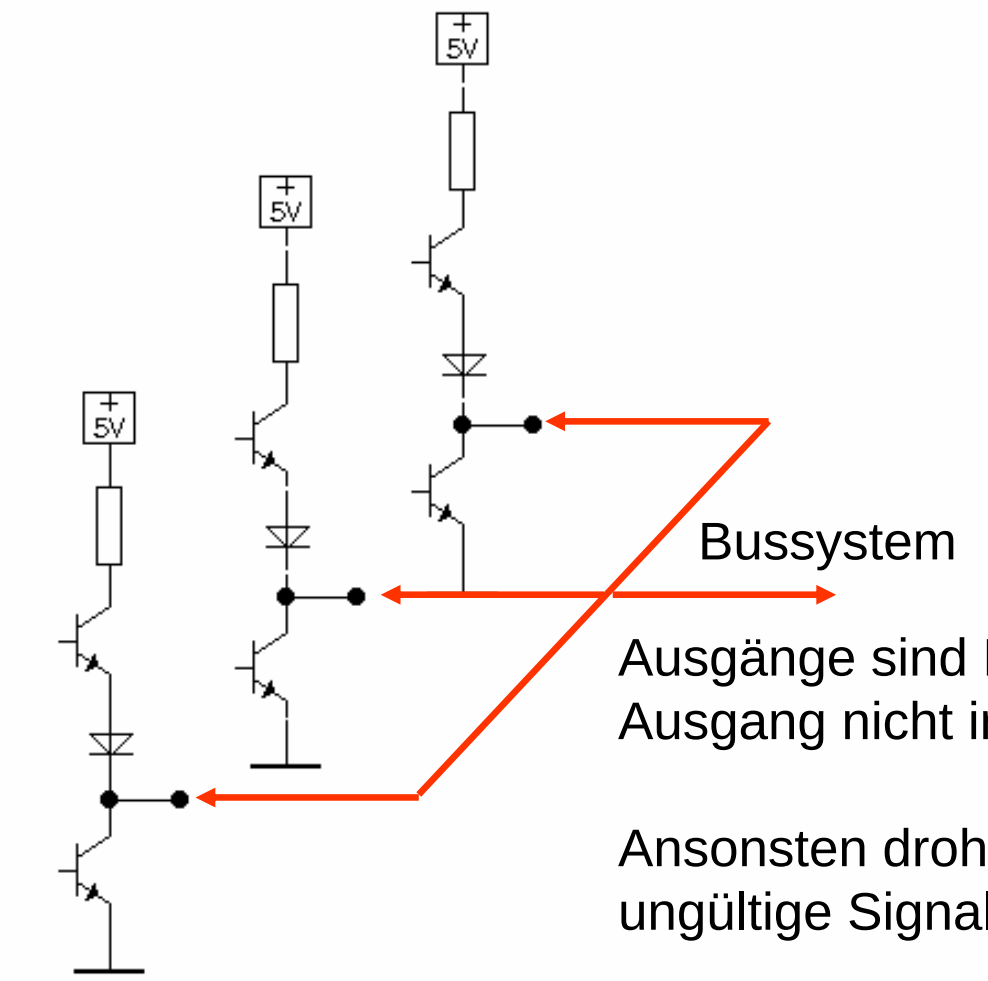


Logikausgang
Gegentaktausgang – Parallelschaltung



Logikausgang

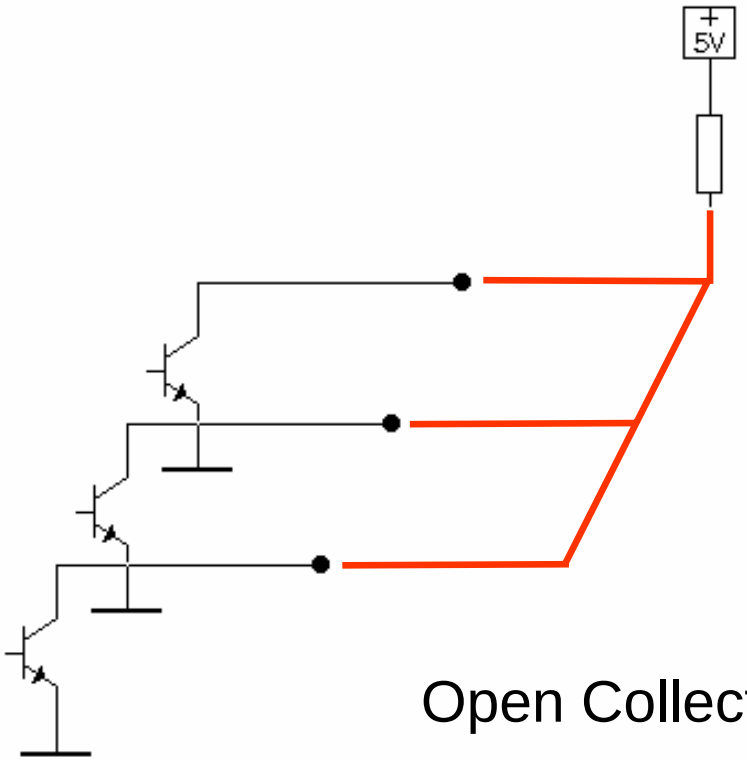
Gegentaktausgang – Parallelschaltung bei Tristate



Ausgänge sind Parallel zu schalten, wenn nur ein Ausgang nicht im Tristatezustand ist.

Ansonsten droht die Zerstörung der Ausgänge oder ungültige Signalpegel.

Logikausgang
Open Collector (OC) – Parallelschaltung



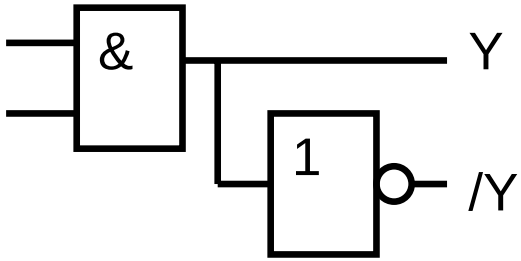
Open Collector Ausgänge lassen sich Parallelschalten.

Die Parallelschaltung realisiert eine OR Funktion.

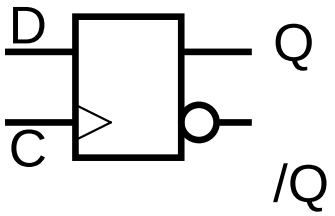
Ein pull up Widerstand ist Voraussetzung für die Funktion der Schaltung

Logikausgang
Komplementärausgang

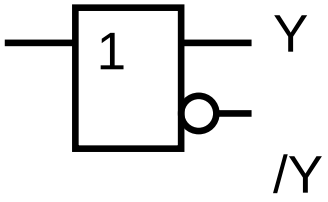
Negator

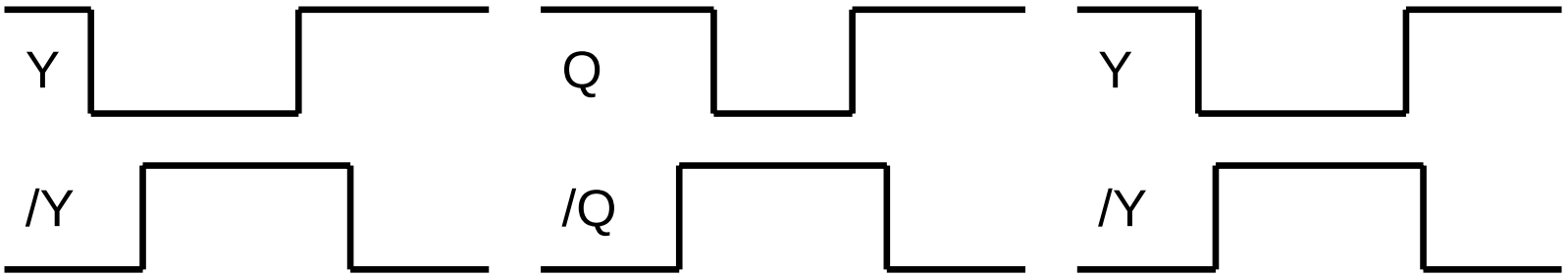


Flip-Flop Ausgang

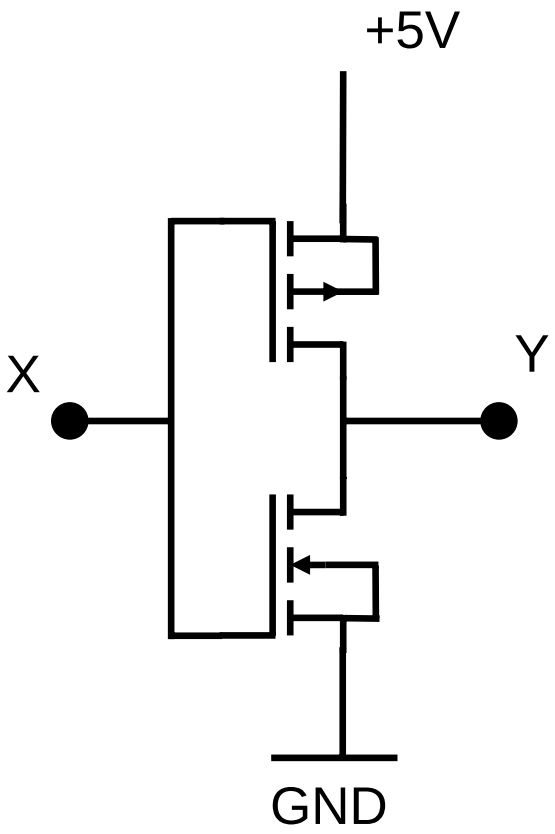


Gatter mit Komplementärausgang

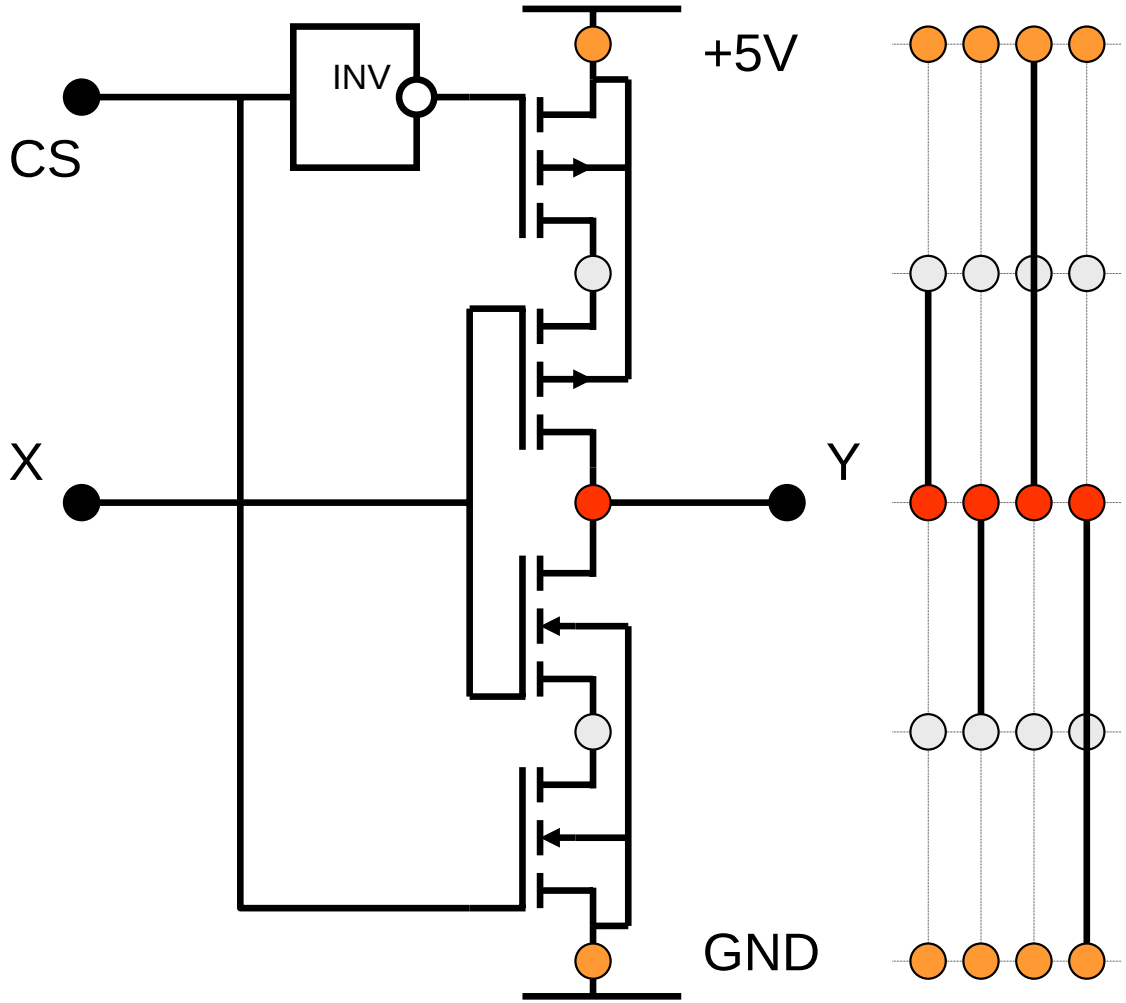




Logikausgang
Grundschaltungen in CMOS-Technik



Logikausgang
Grundschaltung Tristate

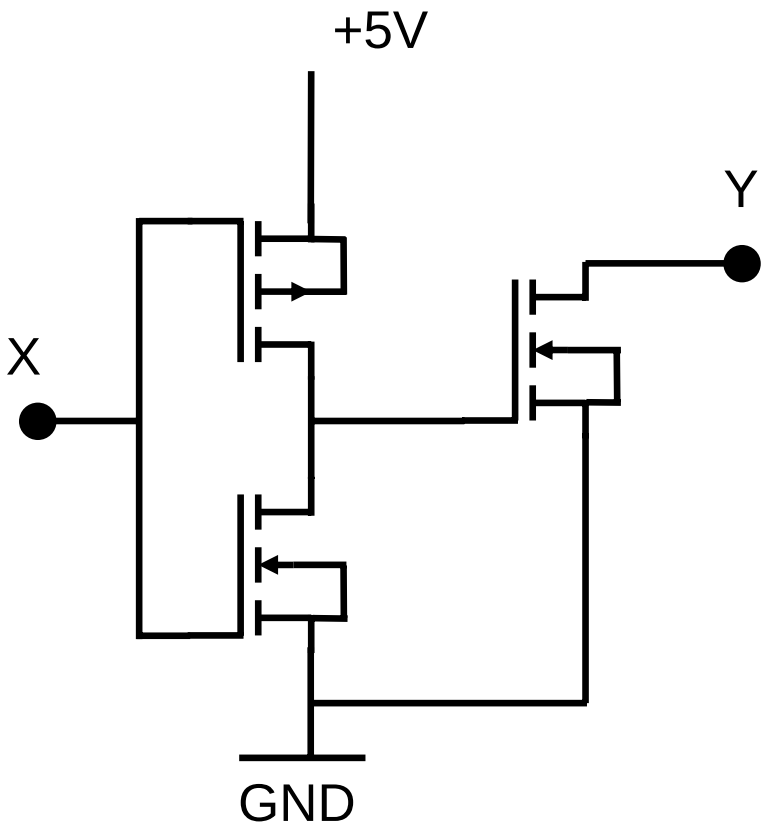


Transistor leitet

CS	X	Y
0	0	x
0	1	x
1	0	1
1	1	0

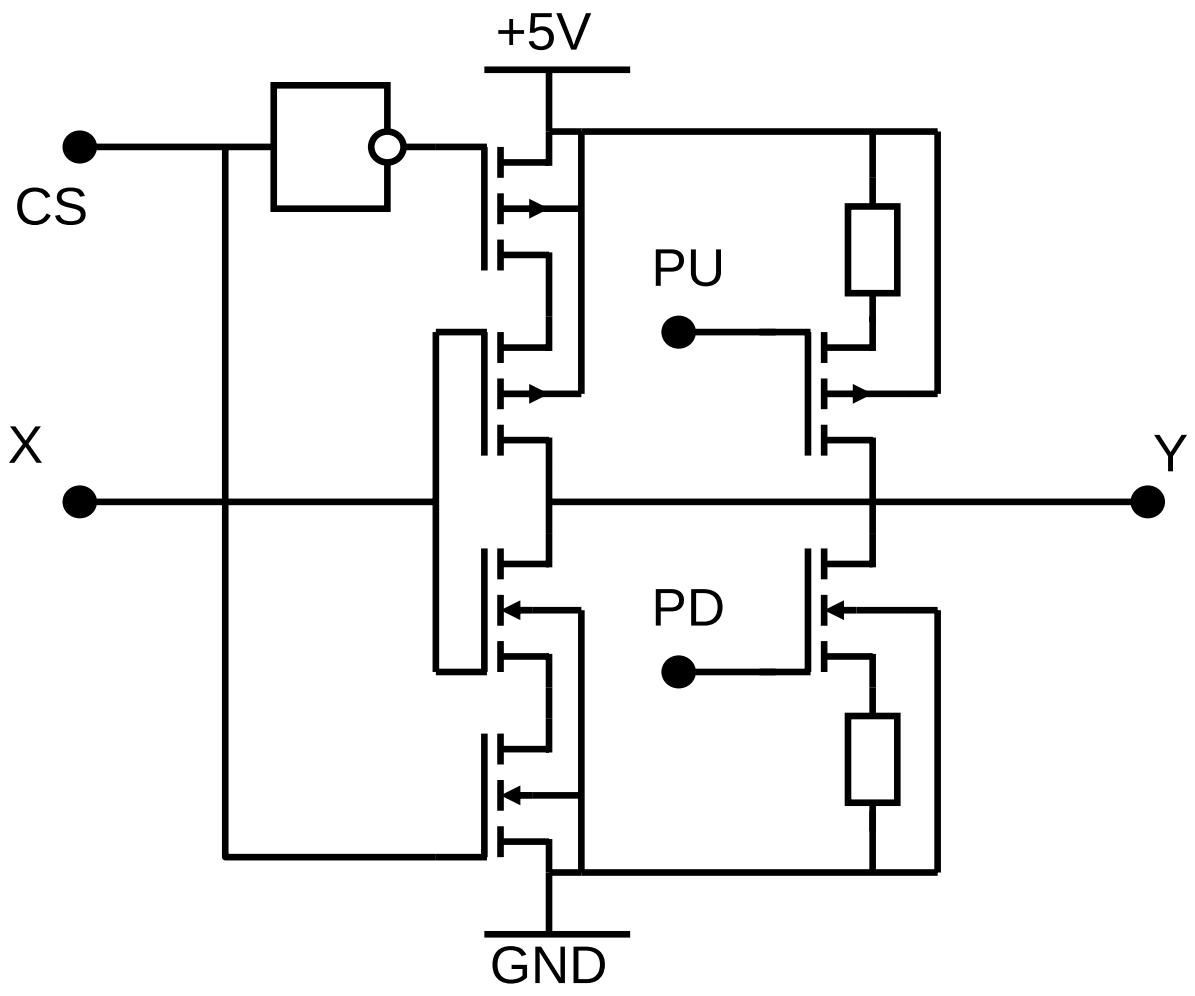
Logikausgang

Grundschaltung Open Drain vergleichbar mit OC



Logikausgang

Grundschaltung mit Pull Up / Pull Down Widerstand



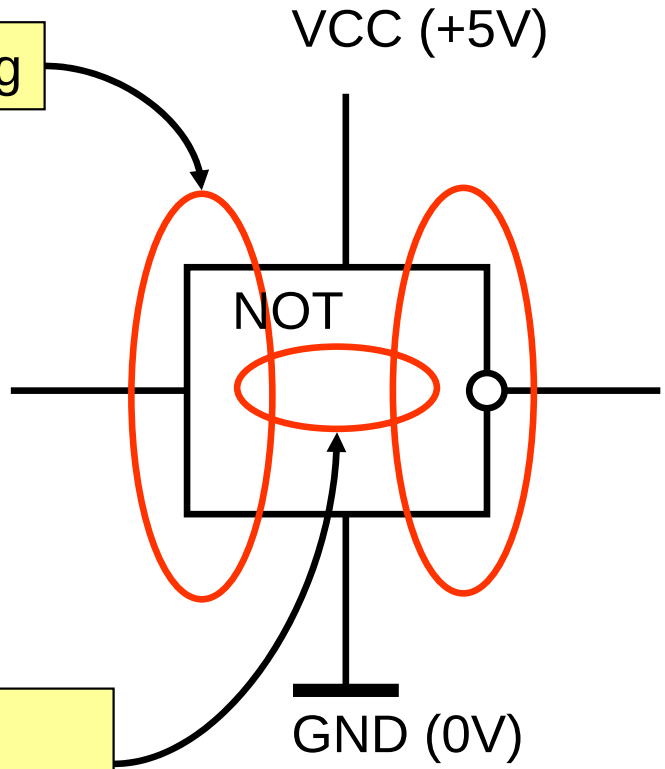
Logikeingang
Grundschaltungen

Logikeingang

Bipolar Technik:
Multi-Emitter Transistor

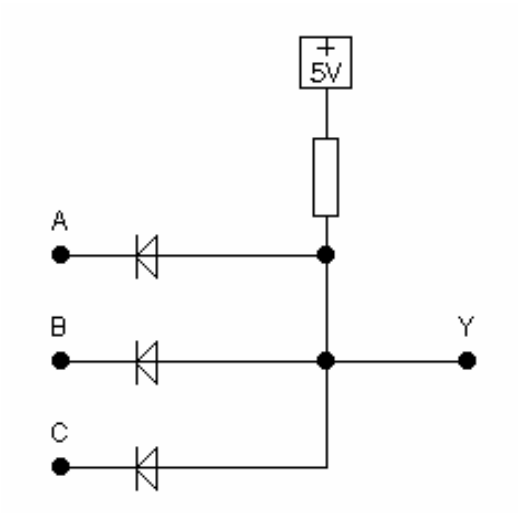
Unipolar Technik:
Gate eines MOSFET

Logik meist schon mit Eingangschaltung realisiert

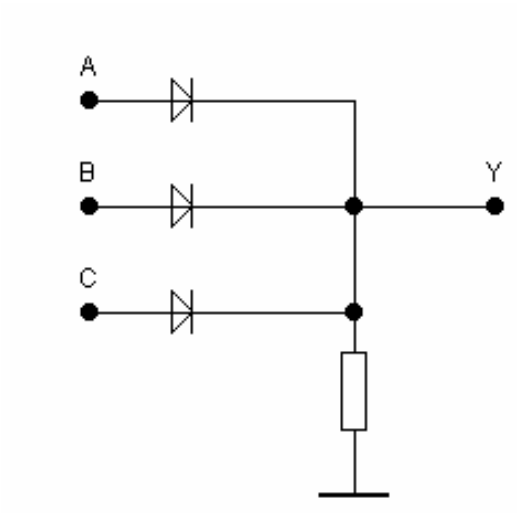


Logikeingang
Dioden-Logik

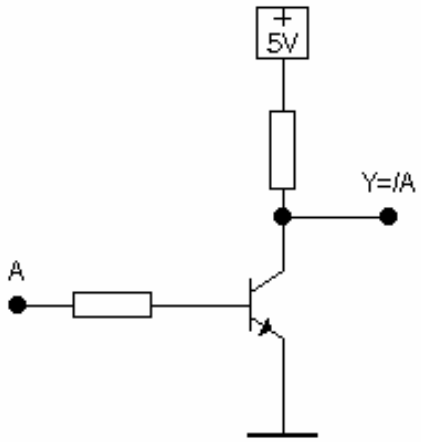
AND



OR

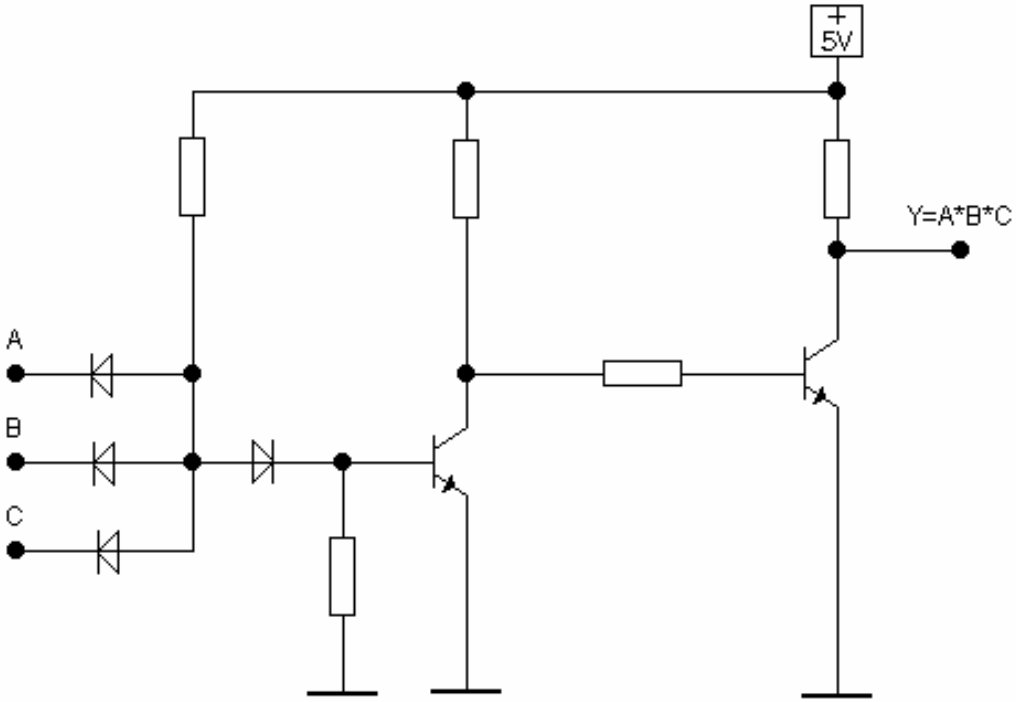


NOT

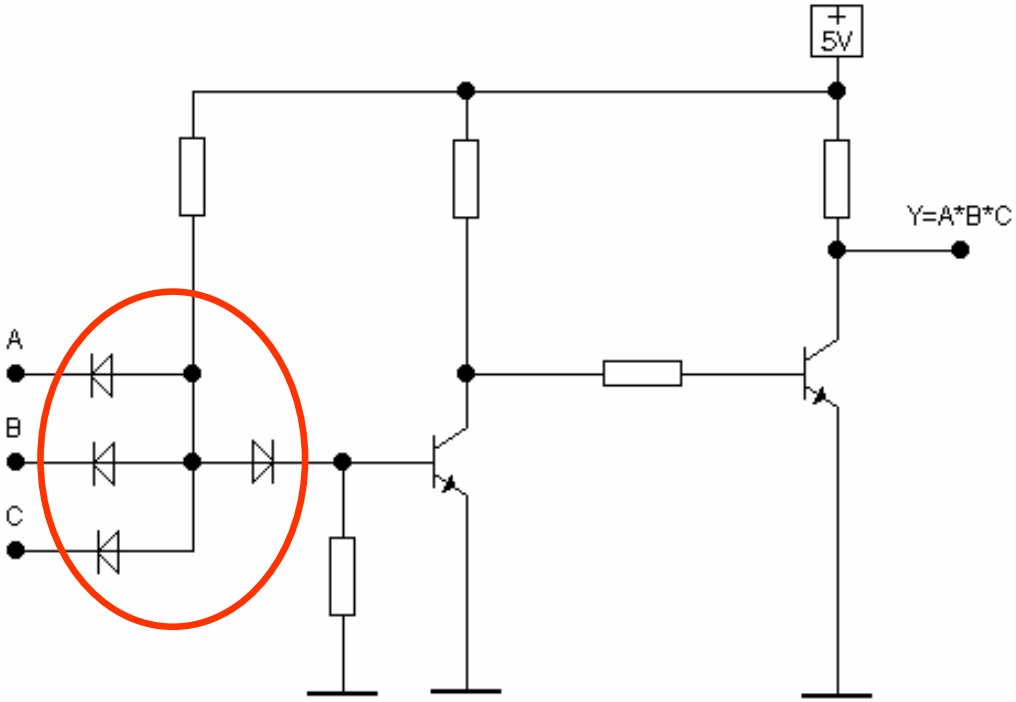


•Dioden-Widerstands-Logik	DR-Logik
•Transistor-Widerstands-Logik	TR-Logik
•Dioden-Transistor-Logik	DTR-Logik
•Transistor-Transistor-Logik	TTL-Logik

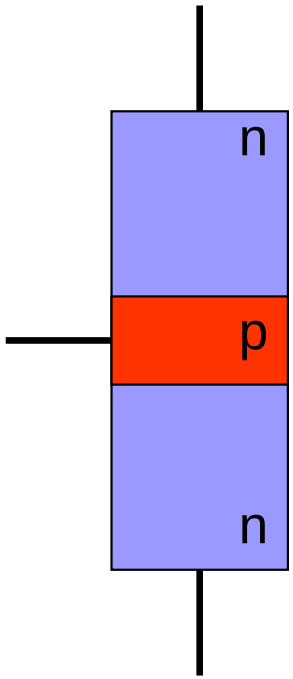
AND

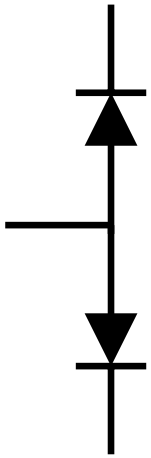


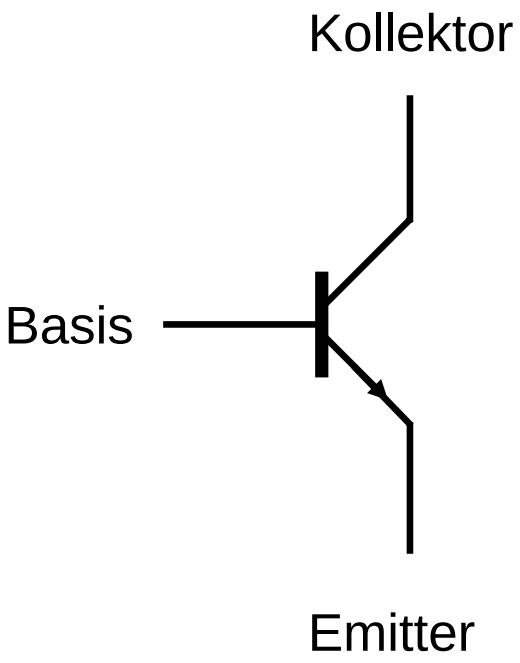
Vier Dioden werden durch einen npn Multi-Emitter-Transistor ersetzt.



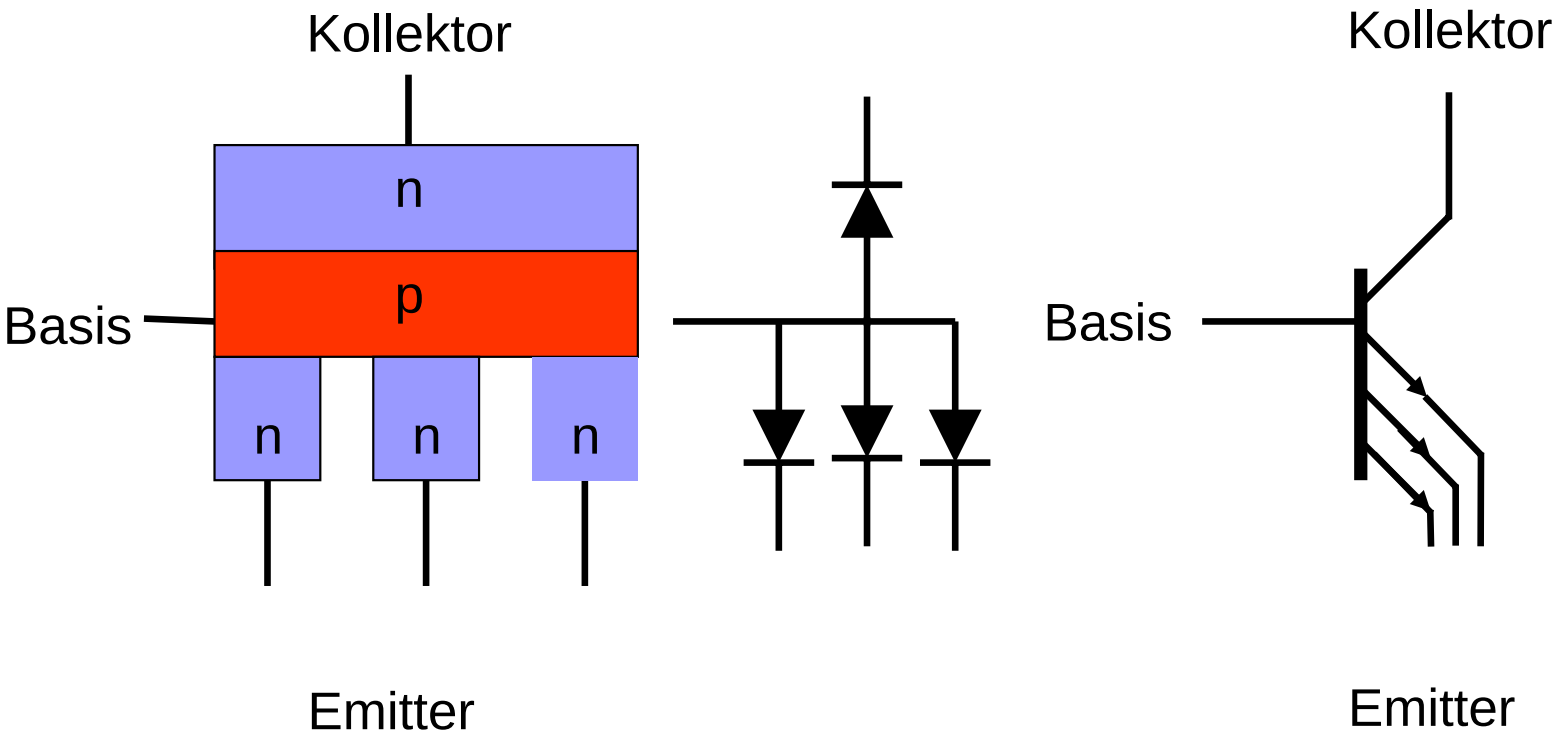
Multi-Emitter-Transistor

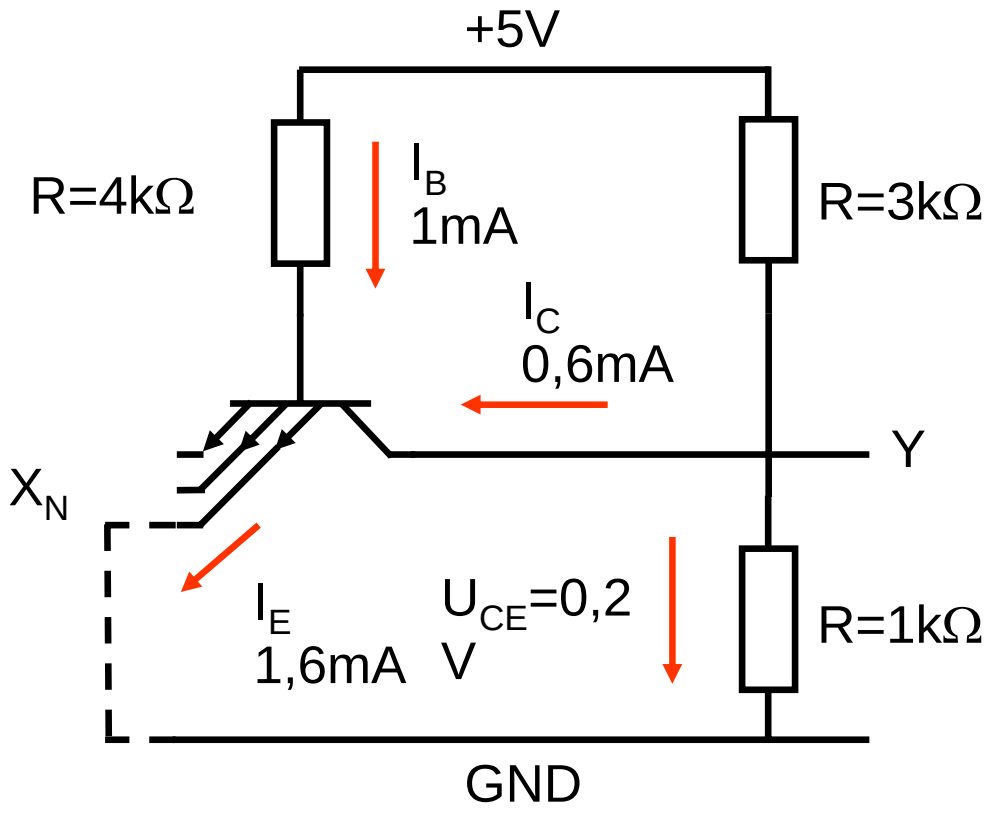






Multi-Emitter-Transistor

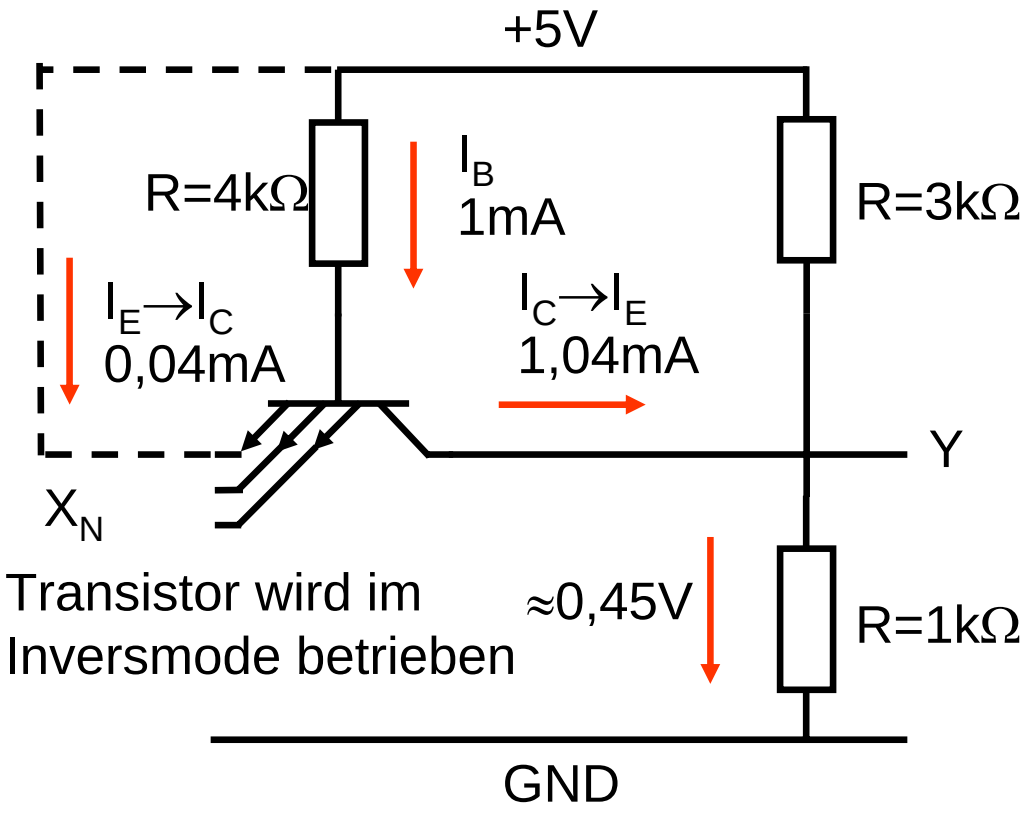




Bei Low-Pegel an einem Emitter wird der Transistor leitend.

Der Widerstand im Basiskreis wird so gewählt, dass der Transistor sicher in die Sättigung geht.

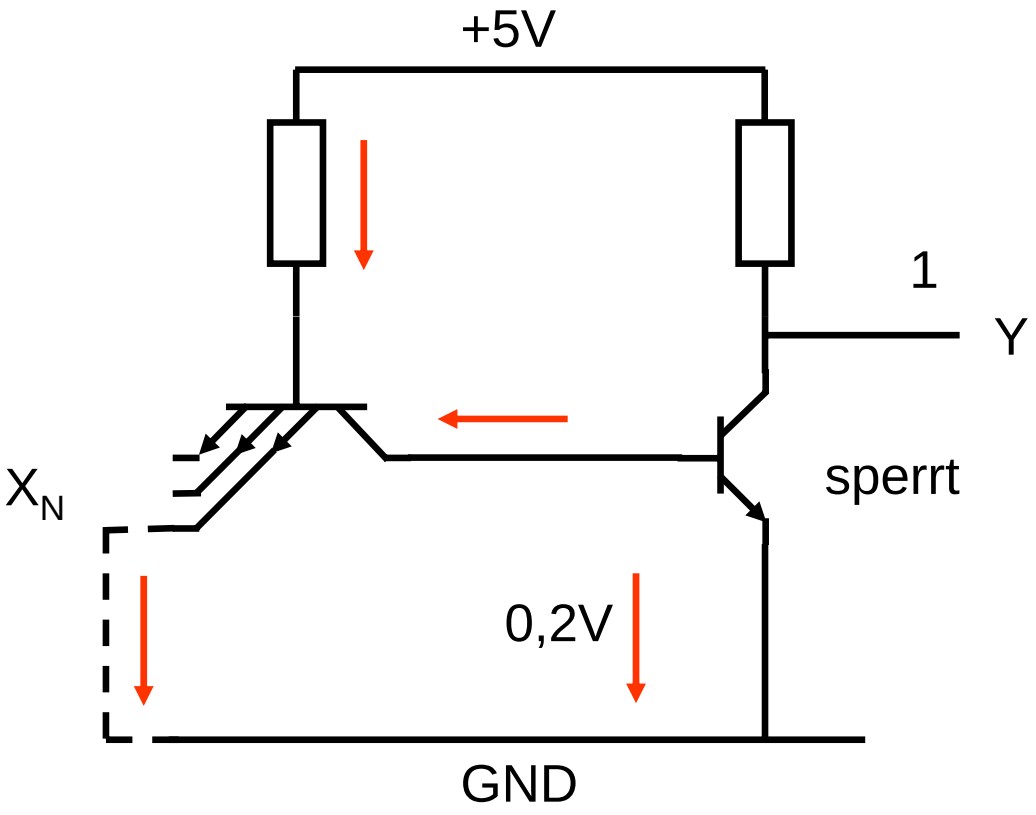
An Y liegt dann eine Spannung von ca. 0,2V an.

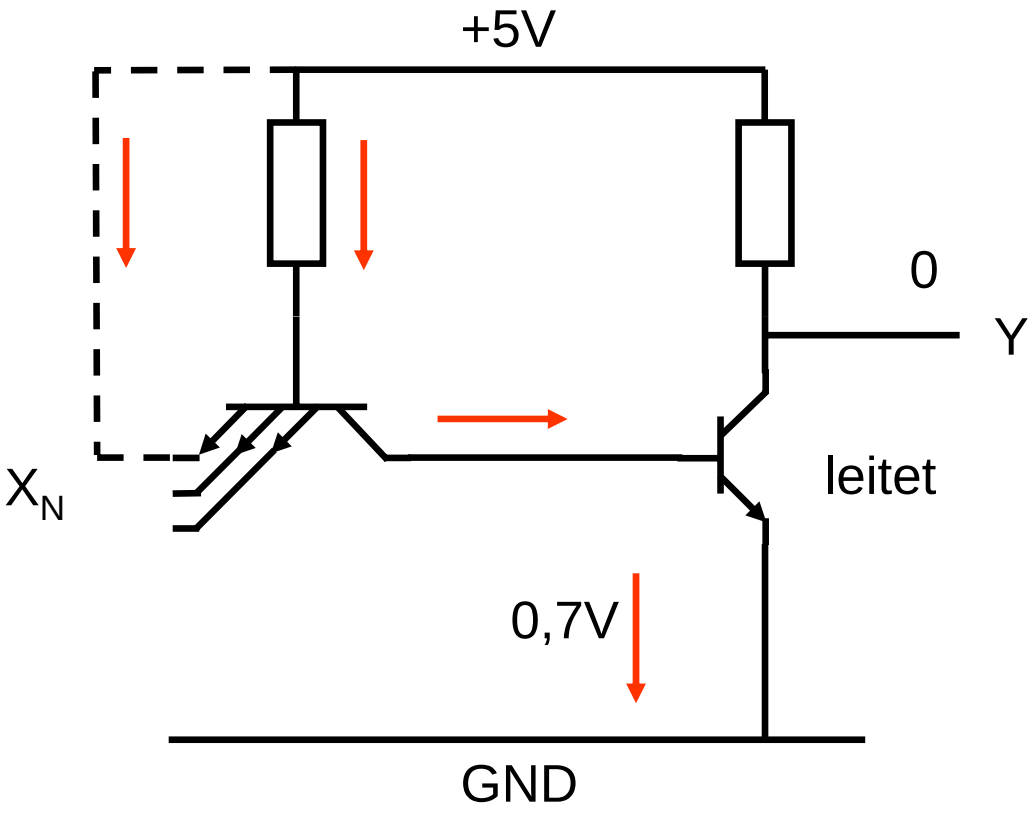


Bei High-Pegel an einem Emitter wird der Transistor invers Betrieben - Emitter und Kollektor werden vertauscht.

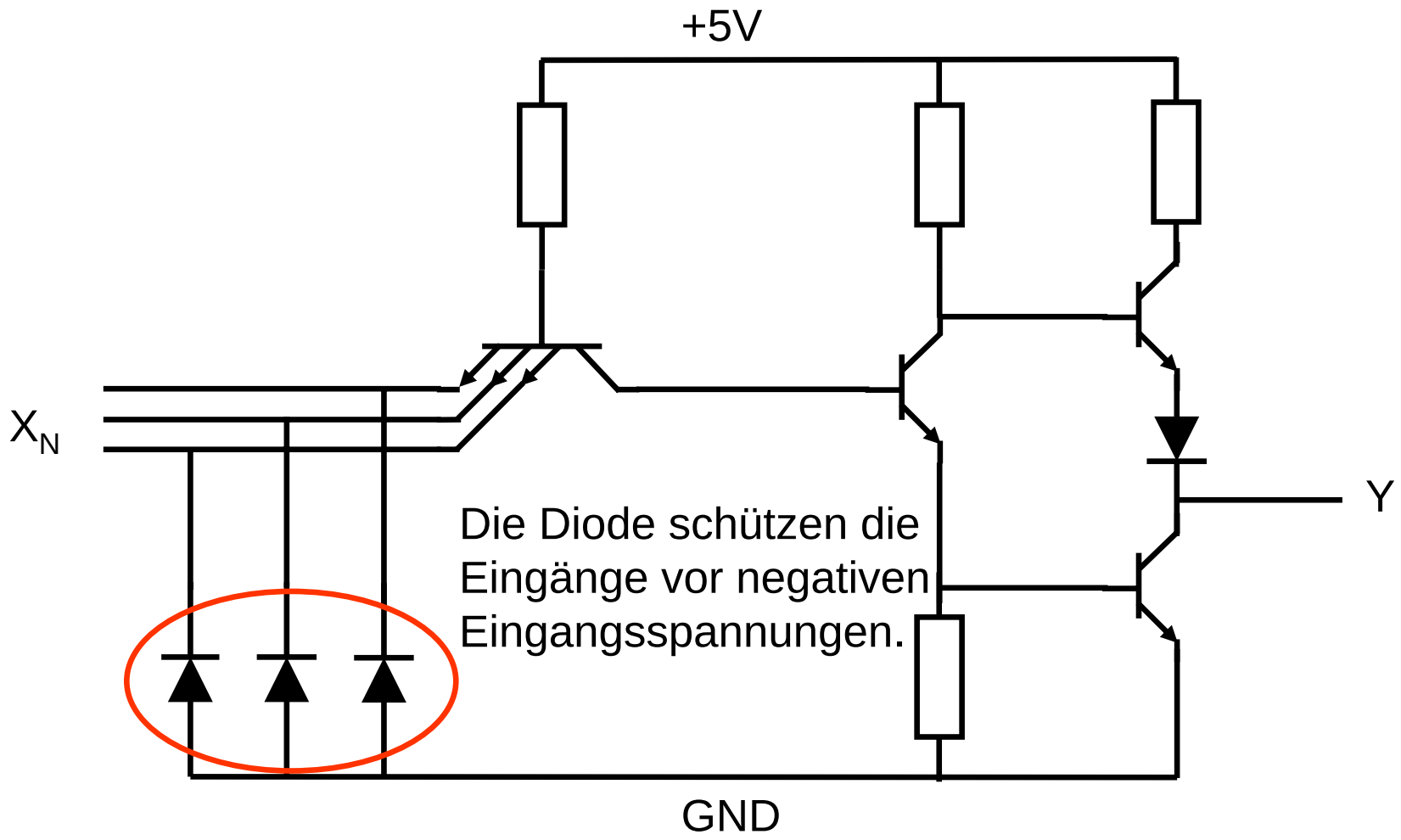
An Y liegen auf Grund der Widerstandsteilerwerte ca. 0,45V an.

Die Schaltung ist für Logikzwecke so nicht einsetzbar.

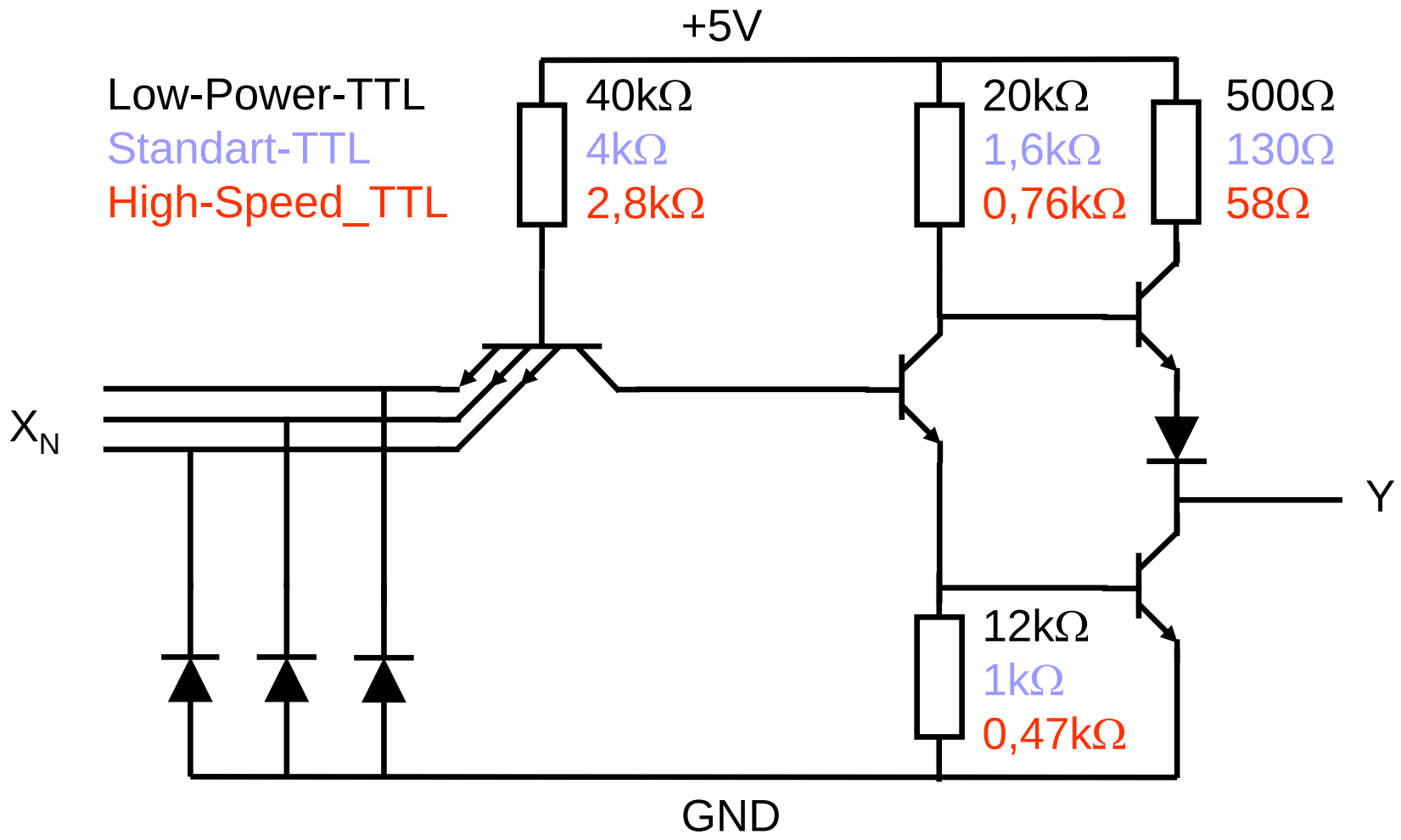

+5V
1
Y
X_N
sperrt
0,2V
GND

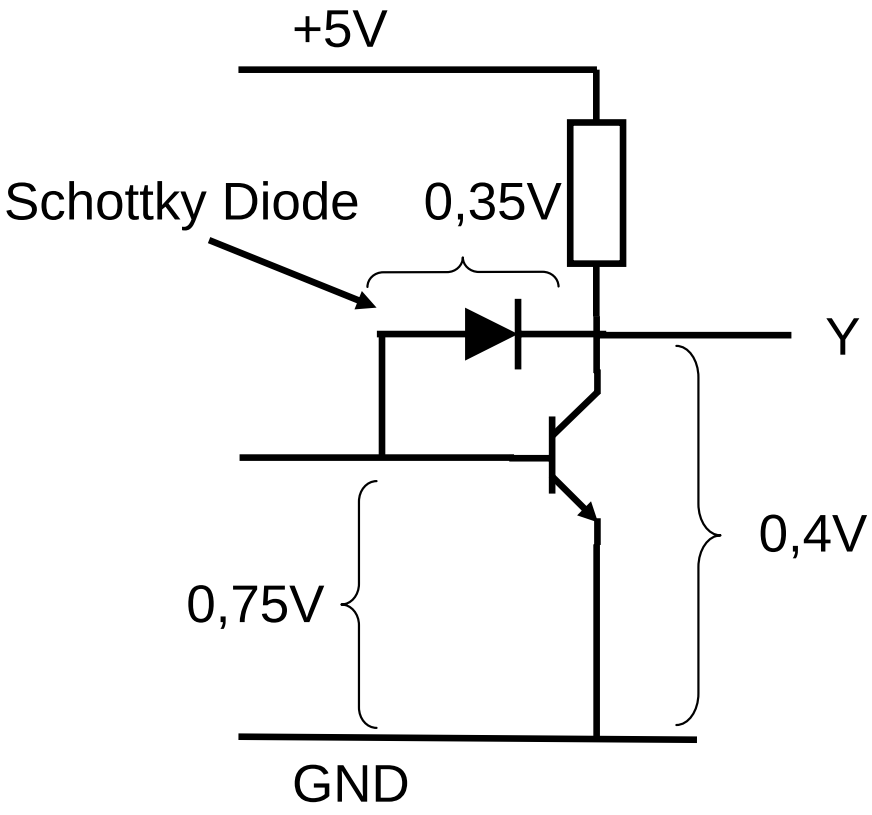

+5V
0
Y
X_N
leitet
0,7V
GND

Transistor-Transistor-Logik NAND mit Gegentakt-Ausgang



Logikschaltungen
TTL-NAND in unterschiedlichen Technologien



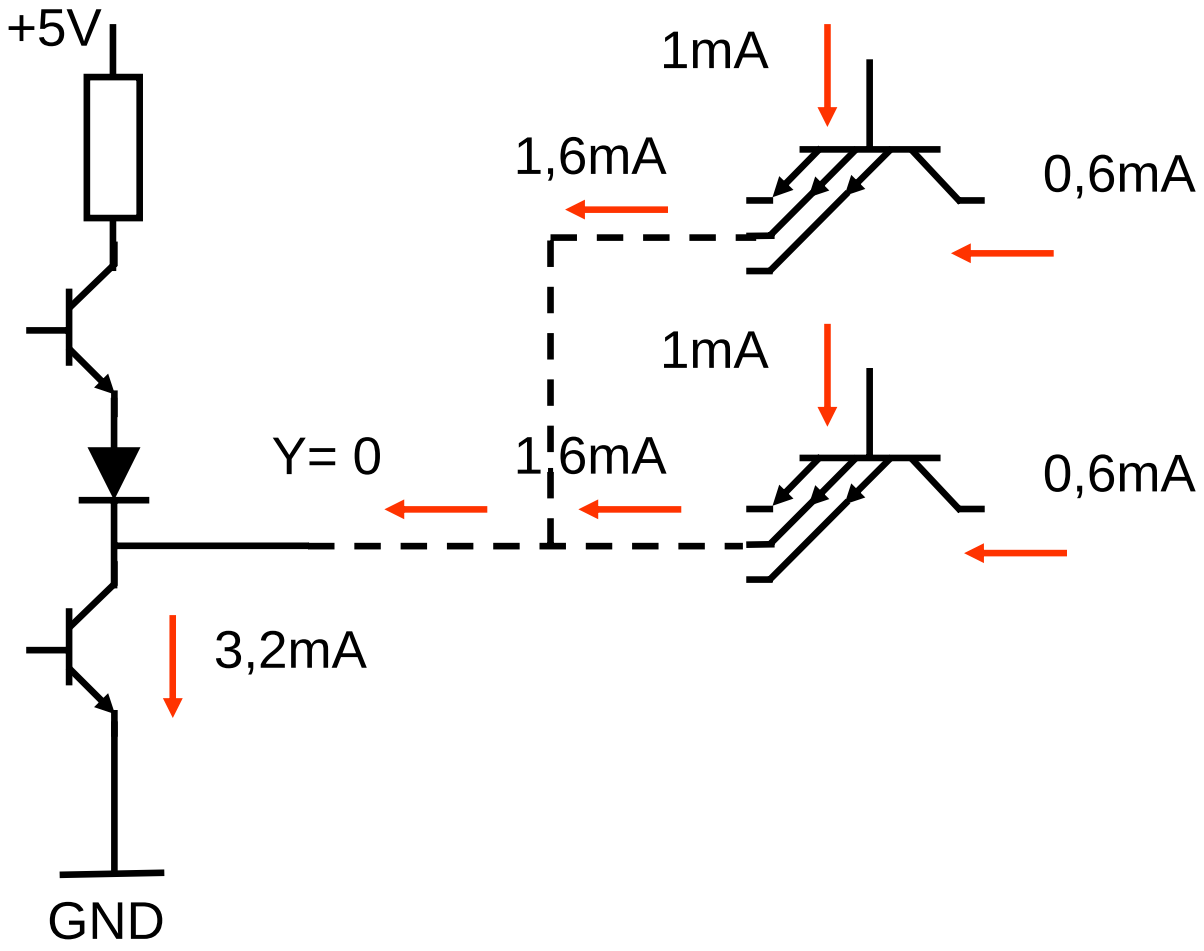


Wenn der Transistor nicht in die Sättigung getrieben wird, ist die Ansteuerung wesentlich schneller möglich.

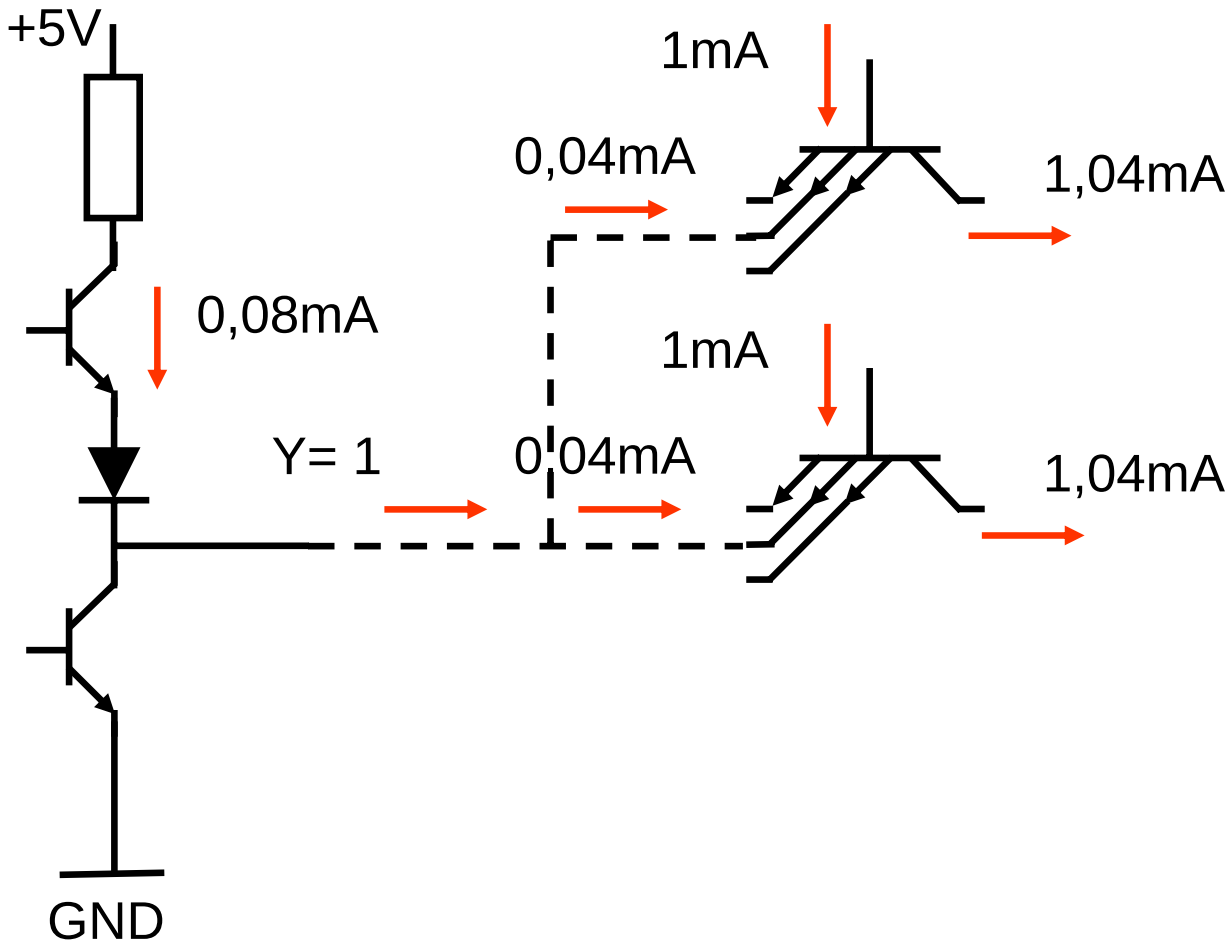
Durch die Schottky Diode erfolgt die Stromübernahme vom Transistor noch vor dem Erreichen der Sättigungsspannung des Transistors.

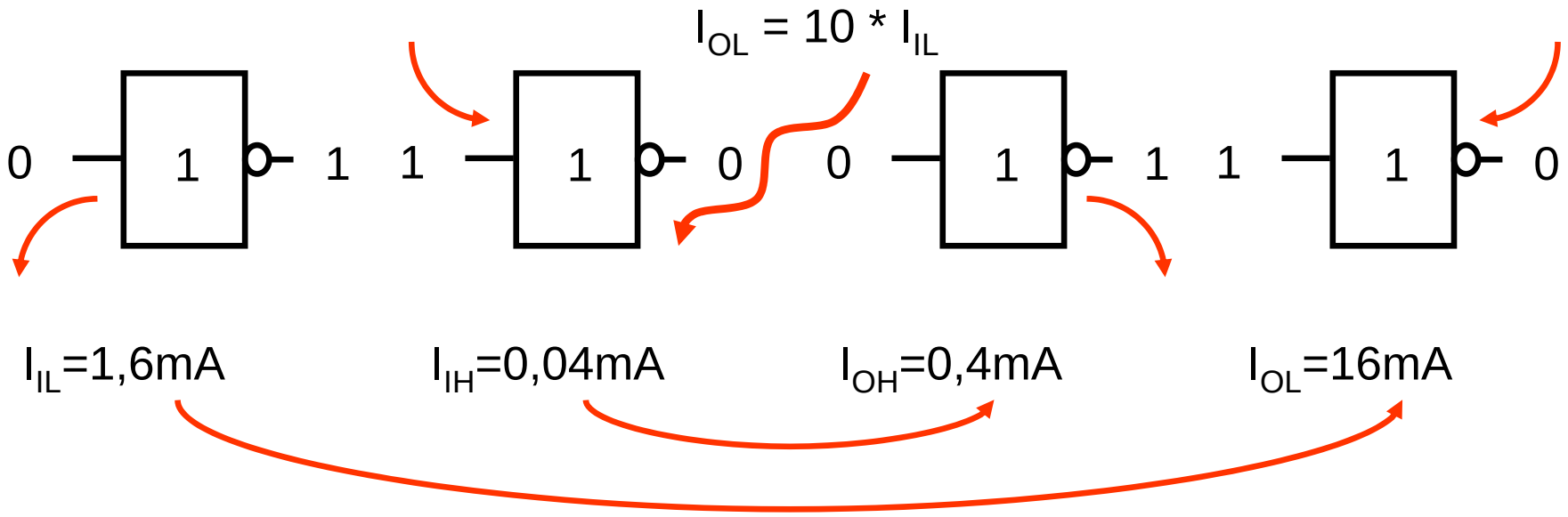
Standart-TTL	Std-TTL	10ns	10mW/Gatter
Advanced-Low-Power-Schottky-TTL	ALS-TTL	4ns	1mW/Gatter
Advanced-Schottky-TTL	AS-TTL	1,5ns	22mW/Gatter
Fast-Schottky-TTL	F-TTL	2ns	4mW/Gatter
High-Power-TTL	H-TTL	6ns	22,5mW/Gatter
Low-Power-TTL	L-TTL	33ns	1mW/Gatter
Low-Power-Schottky-TTL	LS-TTL	9	2mW/Gatter
Schottky-TTL	S-TTL	5	20mW/Gatter

Logikschaltungen
Zusammenschaltung von Eingang und Ausgang



Logikschaltungen
Zusammenschaltung von Eingang und Ausgang





Ein Ausgang kann 10 Eingänge treiben.

... X Eingänge der TTL-Familie

Ein Gatterausgang treibt ...

	Std	ALS	AS	F	H	L	LS	S
Std-TTL	10	20	8	20	8	40	20	8
ALS-TTL	10	20	10	20	4	40	20	10
AS-TTL	10	50	10	50	10	100	50	10
F-TTL	12	25	10	25	10	48	25	10
H-TTL	12	25	10	25	10	50	25	10
L-TTL	2	10	1	10	1	20	10	1
LS-TTL	5	20	8	50	4	40	50	10
S-TTL	12	50	10	50	10	100	50	10

Anwendungsbereites Wissen

- Logikgrundbausteine
- Logikpegel, Übertragungskennlinien
- Statischer und dynamischer Störabstand
- Signalzeitverlauf, Signallaufzeit, Flankenzeiten
- Logikausgangsschaltungen
  - Bipolar Technik
  - Unipolar Technik
- Logikschaltungen
  - Multi-Emitter TTL Schaltung
  - NAND mit Gegentaktausgang
  - NAND mit Gegentaktausgang und Tristate
- Schaltkreisfamilien
- Lastfaktoren